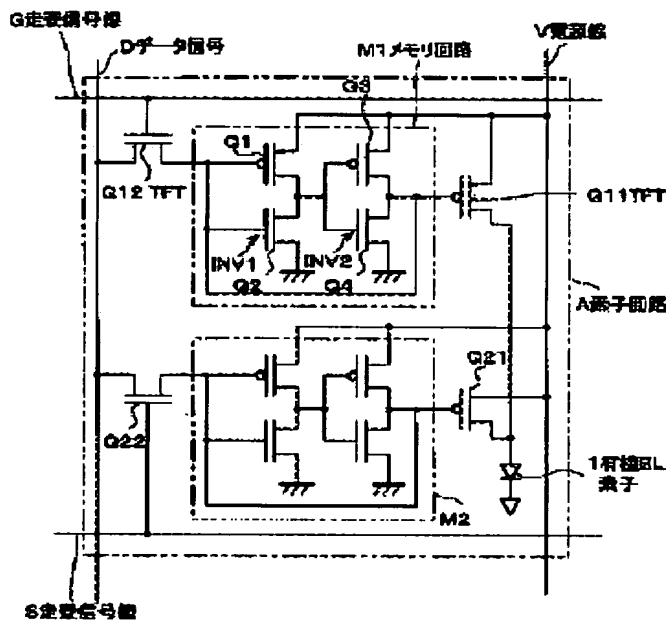


Patent number:	JP2002341821
Publication date:	2002-11-29
Inventor:	NUMAO KOJI
Applicant:	SHARP CORP
Classification:	
- international:	G09G3/20; G09G3/22; G09G3/30; H05B33/14
- european:	
Application number:	JP20010145517 20010515
Priority number(s):	

Abstract of JP2002341821

SOLUTION: Two memory circuits M1 and M2 and a TFTQ12 and a TFTQ22 are provided for one organic EL element 1. Data of a most significant bit are given to the circuit M2 to display-drive by a TFTQ21. Data of residual lower bit side are given to the circuit M1 and a time division gradation display driving is conducted by a TFTQ11. Thus, the element 1 continues to emit light over an approximately one frame period with an output of the TFTQ21 for the display data having the value equal to or greater than the intermediate value and the generation of animation spurious profiles is prevented for the data in the boundary.



2005/08/24

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-341821
(P2002-341821A)

(43)公開日 平成14年11月29日(2002. 11. 29)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 E 3 K 0 0 7
	6 2 4		6 2 4 B 5 C 0 8 0
	6 4 1		6 4 1 R
3/22		3/22	E
3/30		3/30	K

審査請求 未請求 請求項の数 9 O L (全 27 頁) 最終頁に続く

(21)出願番号 特願2001-145517(P2001-145517)

(22)出願日 平成13年5月15日(2001. 5. 15)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 沼尾 孝次

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

Fターム(参考) 3K007 AB17 EB00 GA04

5C080 AA06 AA18 BB05 DD03 EE19

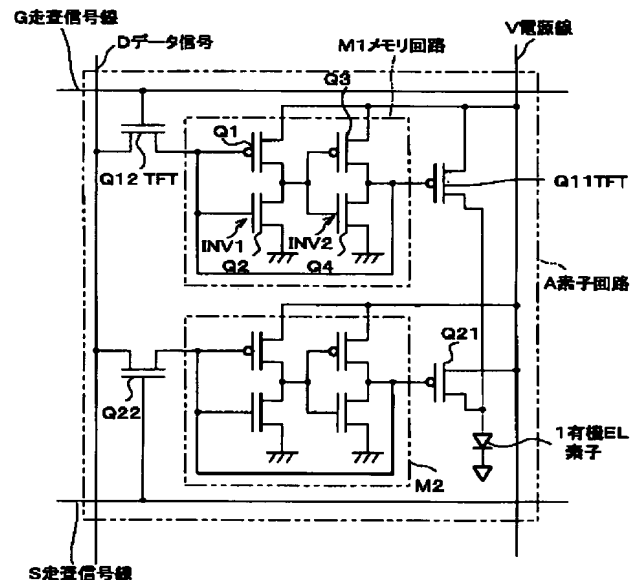
EE29 FF11 GG12 JJ03 JJ05

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 時間分割階調制御を行うにあたって、走査信号線G、S方向に延びて、中間値以上の表示データと中間値未満の表示データとの境界があり、それが該走査信号線G、Sの走査方向(データ信号線D方向)に移動してゆく場合に生じる動画偽輪郭を目立ちにくくする。

【解決手段】 1つの有機EL素子1に対して、2つのメモリ回路M1、M2およびTFTQ12、Q22を設け、最上位ビットのデータをメモリ回路M2に与えてTFTQ21で表示駆動するようにし、残余の下位ビット側のデータをメモリ回路M1に与えてTFTQ11で、時間分割階調表示駆動する。したがって、中間値以上の表示データでは、TFTQ21の出力で有機EL素子1は1フレーム期間を略発光し続けることになり、前記境界のデータに対しても、動画偽輪郭の発生を抑えることができる。



【特許請求の範囲】

【請求項1】マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、前記記憶素子およびそれに対を成す前記アクティブ素子を複数組設けて、それら複数の記憶素子の和出力で前記電気光学素子を表示駆動し、

前記アクティブ素子を選択走査する走査手段は、一方の記憶素子に対応したアクティブ素子を時間分割階調駆動することを特徴とする表示装置。

【請求項2】前記記憶素子ならびにアクティブ素子は2組以上として、第1および第2の記憶素子ならびに第1および第2のアクティブ素子とし、

前記第1のアクティブ素子または記憶素子の出力電位を保持して前記電気光学素子に与える電位保持手段と、前記電位保持手段と前記第1の記憶素子との間に設けられる第3のアクティブ素子とをさらに備え、

前記第1および第3のアクティブ素子を選択走査することで、前記第1の記憶素子および電位保持手段への表示データの書込み／読出しを制御することを特徴とする請求項1記載の表示装置。

【請求項3】前記電位保持手段に関連して、その電位を予め定める初期化電位に設定する第4のアクティブ素子をさらに備えることを特徴とする請求項2記載の表示装置。

【請求項4】前記記憶素子ならびにアクティブ素子は2組以上として、下位ビット側となる第1番目の記憶素子の出力による前記電気光学素子の電流駆動能力を基準に、第2番目以上の記憶素子の出力による前記電気光学素子の電流駆動能力は、前記第1番目の記憶素子の出力による電流駆動能力の2の乗数倍に順次設定されることを特徴とする請求項1記載の表示装置。

【請求項5】前記記憶素子ならびにアクティブ素子は2組として、それぞれ第1および第2の記憶素子ならびに第1および第2のアクティブ素子とし、

前記第1および第2のアクティブ素子の出力電位をそれぞれ保持して前記電気光学素子に与える第1および第2の電位保持手段と、

前記各電位保持手段と前記第1および第2の記憶素子との間にそれぞれ設けられる第3のアクティブ素子とをさらに備え、

前記第1および第2のアクティブ素子と、それらに個別に対応した第3のアクティブ素子とを選択走査することで、前記第1および第2の記憶素子ならびに第1および第2の電位保持手段への表示データの書込み／読出しを制御し、かつその制御を第1のアクティブ素子側と第2のアクティブ素子側とで、周期的に切替えることを特徴とする請求項1記載の表示装置。

【請求項6】前記記憶素子ならびにアクティブ素子は2

組以上として、そのうち2組を第1および第2の記憶素子ならびに第1および第2のアクティブ素子とし、

前記第1および第2のアクティブ素子の出力電位をそれぞれ保持して前記電気光学素子に与える第1および第2の電位保持手段と、

前記各電位保持手段と前記第1および第2の記憶素子との間にそれぞれ設けられる第3のアクティブ素子とをさらに備え、

前記第1および第2のアクティブ素子と、それらに個別に対応した第3のアクティブ素子とを選択走査することで、前記第1および第2の記憶素子ならびに第1および第2の電位保持手段への表示データの書込み／読出しを制御し、かつ下位ビットの表示データの与えられるアクティブ素子側でも、最上位ビットの表示データの書込みを行うことを特徴とする請求項1記載の表示装置。

【請求項7】マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、

任意の*i*ライン目の電気光学素子に対して、隣接する*i*+1ライン目と*i*-1ライン目との電気光学素子をフィールド周期で切替えて対を成し、それら一対の電気光学素子は、同一の表示データの最上位ビットと残余の下位ビットとを前記フィールド周期毎に交互に切替え表示することを特徴とする表示装置。

【請求項8】マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって表示データを取込み、その取込んだデータで前記電気光学素子を表示駆動するようにした表示装置において、

前記表示データを格納する電位保持手段およびこの電位保持手段へ前記表示データを取込む第1のアクティブ素子と、

前記表示データを格納する記憶素子およびこの記憶素子へ前記表示データを取込む第2のアクティブ素子とを備え、前記各アクティブ素子を選択走査する走査手段は前記第1のアクティブ素子を

時間分割階調制御し、前記電位保持手段および記憶素子の和出力で前記電気光学素子を表示駆動することを特徴とする表示装置。

【請求項9】マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって表示データを取込み、その取込んだデータで前記電気光学素子を表示駆動するようにした表示装置において、

前記表示データを格納する第1および第2の電位保持手段およびこれら第1および第2の電位保持手段へ前記表示データをそれぞれ取込む第1および第2のアクティブ素子を備え、

前記各アクティブ素子を選択走査する走査手段は少なくとも一方のアクティブ素子を時間分割階調制御し、前記第1および第2の電位保持手段の和出力で前記電気光学

素子を表示駆動することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機EL (Electro Luminescence) 素子やFED (Field Emission Device) 素子等の電気光学素子をマトリックス状に配置して構成される表示装置に関し、特にその時間分割階調表示の手法に関する。

【0002】

【従来の技術】近年、前記有機EL素子やFED素子等の自発光デバイスを用いた薄型表示装置の開発が活発に行われている。これら自発光デバイスでは、デバイスの発光輝度がデバイスを流れる電流密度に比例することが知られている。したがって、これら自発光デバイスとTFT等のアクティブ素子とを組合わせて電気光学素子を作成する場合、TFTのオン抵抗バラツキが自発光デバイスを流れる電流値のバラツキとなり、輝度バラツキが発生することがある。

【0003】そこで、前記TFTのオン抵抗バラツキを抑えるアナログ階調駆動回路の開発や、オン抵抗のバラツキの少ない条件を使用するデジタル階調駆動方法の開発が盛んに行われている。このうち、デジタル階調駆動方法としては、時間分割階調表示方法、画素分割階調表示方法および複数TFTを利用する方法などがある。

【0004】図20は、前記複数TFTを用いてデジタル階調表示を実現する素子回路の電気回路図であり、特開2000-347623号公報に記載された構成である。表示パネル上にマトリックス状に配列される素子回路101は、有機EL素子102と、その駆動回路103とで構成されている。有機EL素子102は、駆動回路103において、相互に並列に配列される3つの駆動トランジスタq1～q3と、各駆動トランジスタq1～q3にそれぞれ直列接続されて該有機EL素子102の電流値を規制する抵抗r1～r3とを介して供給される電流で発光する。各駆動トランジスタq1～q3は、そのゲート端子に接続されるコンデンサc1～c3に貯えられた電位でそれぞれ制御される。前記各コンデンサc1～c3の電位は、走査信号線g1～g3の選択出力にตอบสนองして、選択トランジスタq4～q6がデータ信号線d1～d3から供給される電位を取込むことで設定される。そして、前記駆動トランジスタq1～q3を選択的に導通状態とすることで、複数階調表示を可能としている。

【0005】また、図21は、前記画素分割階調を用いてデジタル階調表示を実現する素子回路の電気回路図であり、IDW (International Display Workshops) '99や、特開2000-284727号公報において、M. Kimura達が発表した構成である。この素子回路111では、1つの画素が同じサイズの有機EL素子112～114で形成されている。有機EL素子112

は、駆動トランジスタq11から供給される電流で発光される。また、有機EL素子113、114は、駆動トランジスタq12から供給される電流で発光される。各駆動トランジスタq11、q12は、そのゲート端子に接続されるコンデンサc11、c12に貯えられた電位で制御される。各コンデンサc11、c12の電位は、走査信号線g11の選択出力にตอบสนองして、選択トランジスタq13、q14がデータ信号線d11、d12から供給される電位をそれぞれ取込むことで設定される。そして、前記駆動トランジスタq11、q12を選択的に導通状態とすることで、複数階調表示を可能としている。

【0006】さらにまた、図22は、前記時間分割階調を用いてデジタル階調表示を実現する素子回路の電気回路図であり、SID (Society of Information Display) '00で、K. Inukai達が発表した構成である。この素子回路121では、有機EL素子122は、駆動トランジスタq21から供給される電流で発光される。前記駆動トランジスタq21は、そのゲート端子に接続されるコンデンサc21に貯えられた電位で制御される。コンデンサc21の電位は、走査信号線g21の選択出力にตอบสนองして、選択トランジスタq22がデータ信号線d21から供給される電位を取込むことで設定され、走査信号線g22の選択出力にตอบสนองして、消去トランジスタq23がコンデンサc21の端子間を短絡することで初期化される。

【0007】図23は、上記の素子回路121を用いた時分割階調駆動の駆動方法の一例を示す図である。この図23の例では、前記走査信号線g21は、G1～G14の14本で1つの単位と想定されており、各走査信号線G1～G14の選択様態を、図23(3)～(16)で示している。また、この図23の例では、階調データは4ビットとされており、図23(2)で、表示されているデータの重みを示している。図23(1)は単位時間の表示であり、図23(17)は通算時間の表示である。

【0008】1フレーム期間Tfには、前記4ビット分の4つの走査期間Ts1～Ts4が設定される。第1の走査期間Ts1 (通算時間1～14) では、走査信号線G1～G14が順に選択されて、各画素のコンデンサc21が、第4bit目の階調データに合わせてON電位かOFF電位に設定されるとともに、その設定タイミングからビットの重みに対応した32単位時間に亘って、引続き表示が行われる。したがって、走査信号線G1で選択される素子回路では、通算時間1～32が第4bit目のサブフレーム期間SF4となる。

【0009】前記サブフレーム期間SF4の後には、同様に、第2の走査期間Ts2 (通算時間33～46) が設けられ、各画素のコンデンサc21の電位が第3bit目の階調データに合わせてON電位かOFF電位に設

定されるとともに、その設定タイミングからビットの重みに対応した16単位時間に亘って、引続き表示が行われる。したがって、走査信号線G1で選択される素子回路では、通算時間33~48が第3bit目のサブフレーム期間SF3となる。

【0010】引続き、第3の走査期間Ts3（通算時間49~62）が設けられ、各画素のコンデンサc21の電位が第2bit目の階調データに合わせてON電位かOFF電位に設定されるとともに、その設定タイミングからビットの重みに対応した8単位時間に亘って、引続き表示が行われる。しかしながら、前記ビットの重みに対応した8単位時間の表示時間は、走査期間Ts2の14単位時間よりも短いので、前記第3の走査期間Ts3の開始から8単位時間後に、その走査を追いかけるように、前記走査信号線g22が順に選択されて（通算時間57~70）、各画素のコンデンサc21の電位が消去され、ブランク表示となる。このため、走査信号線G1で選択される素子回路では、通算時間49~56が第2bit目のサブフレーム期間SF2となる。

【0011】同様に、第4の走査期間Ts4（通算時間63~76）では、各画素のコンデンサc21の電位が第1bit目の階調データに合わせてON電位かOFF電位に設定されるとともに、その設定タイミングからビットの重みに対応した4単位時間に亘って表示が行われた後、前記走査信号線g22が順に選択されて（通算時間67~次フレームの4）、各画素のコンデンサc21の電位が消去され、ブランク表示となる。このため、走査信号線G1で選択される素子回路では、通算時間63~66が第1bit目のサブフレーム期間SF1となる。

【0012】

【発明が解決しようとする課題】しかしながら、図21で示す画素分割階調を用いる構成では、1つの画素領域に配置することができる部分画素数で、表示可能な階調数が制限されてしまうという問題がある。

【0013】また、図20で示す複数TFTを用いる構成では、各抵抗r1~r3の比を正確に1:2:4に設定することが困難であるので、結局r1=r2=r3と相互に等しい抵抗を用いることになり、必要な階調数分のトランジスタを1つの画素領域に配置することができず、1つの画素領域に配置することができる駆動トランジスタの個数によって、前記画素分割階調の場合と同様に表示可能な階調数が制限されてしまうという問題がある。

【0014】したがって、上記何れの階調表示方法においても、必要な階調数を得るためには、前記図22の時間分割階調表示方法と組み合わせる必要がある。実際、前記図21で示す画素分割階調を用いる構成でも、時間分割階調と組み合わせることで、16階調を得ている。しかしながら、時間分割階調を用いる構成では、動画偽輪郭

が発生するという問題がある。

【0015】図24には、図23の駆動方法を用いて、8階調レベルの背景をバックに、7階調レベルの物体が画面上（G1側）から下（G14側）に動いてゆく場合に観察される動画偽輪郭を示している。すなわち、この図24の場合での動画偽輪郭は、7階調レベルの物体の動きに合わせて、画面上を上から下へと矢符αのように視線が移動するので、その視線上に背景の8階調目と、物体の4, 2, 1階調目との両方が捉えられ、15階調レベルが見える現象である。また、画面上を上から下へと矢符βのように視線が移動するので、その視線上に物体の8階調目と、背景の4, 2, 1階調目との両方が捉えられ、0階調レベルが見える現象でもある。

【0016】図25に、前記15階調レベルの偽輪郭を示す。8階調レベルの様な背景画面上を、7階調レベルの様な物体が画面の上から下へと移動すると、物体の上側の輪郭線α1が、偽輪郭線α2となって見えてしまう。また、物体の下側の輪郭線β1が、偽輪郭線β2となって見えてしまう。

【0017】本発明の目的は、動画偽輪郭の目立ちにくい時分割階調表示を実現する表示装置を提供することである。

【0018】

【課題を解決するための手段】本発明の表示装置は、マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、前記記憶素子およびそれらに對を成す前記アクティブ素子を複数組設けて、それら複数の記憶素子の和出力で前記電気光学素子を表示駆動し、前記アクティブ素子を選択走査する走査手段は、一方の記憶素子に対応したアクティブ素子を時間分割階調駆動することを特徴とする。

【0019】上記の構成によれば、相互に交差する複数の走査信号線およびデータ信号線で区画されてマトリクス状に配列された各領域に、電気光学素子、アクティブ素子および記憶素子を備え、アクティブ素子が前記走査信号線で選択されている間にデータ信号線に出力される表示データを前記記憶素子に取込み、非選択期間に亘って、その記憶素子で保持される表示データに対応した表示を行うようにした表示装置において、先ず記憶素子およびそれらに對を成す前記アクティブ素子を複数組設けて、輝度レベルを設定するそれら複数の記憶素子の電圧または電流の和出力で前記電気光学素子を表示駆動するように構成する。そしてさらに、一方の記憶素子に対応したアクティブ素子を時間分割階調駆動する。

【0020】したがって、デジタル階調制御を時間分割階調制御で実現するにあたって、他方の記憶素子に上位ビット側の表示データを与え、一方の記憶素子に残余の下位ビット側の表示データを与えることで、たとえば2

組の記憶素子を設けたとすると、それらの記憶素子の出力の重み、すなわち前記電圧または電流のレベルは相互に等しくなり、中間値（M階調レベルでM/2前後）以上の表示データでは、最上位ビットの表示データが「1」となって、電気光学素子は前記他方の記憶素子の出力で1フレーム期間を略発光し続け、その間に、残余の下位ビット側の表示データが「1」となったときには、前記一方の記憶素子の出力も加算されて、すなわち輝度レベルが倍となって発光することになる。

【0021】これによって、時間分割階調制御を行うにあたって、中間値以上の表示データと中間値未満の表示データとが存在し、その境界が移動してゆく場合にも、前記中間値以上の表示データ分の発光は略連続して行われているので、動画偽輪郭の発生を抑えることができる。

【0022】また、本発明の表示装置では、前記記憶素子ならびにアクティブ素子は2組以上として、第1および第2の記憶素子ならびに第1および第2のアクティブ素子とし、前記第1のアクティブ素子または記憶素子の出力電位を保持して前記電気光学素子に与える電位保持手段と、前記電位保持手段と前記第1の記憶素子との間に設けられる第3のアクティブ素子とをさらに備え、前記第1および第3のアクティブ素子を選択走査することで、前記第1の記憶素子および電位保持手段への表示データの書き込み/読出しを制御することを特徴とする。

【0023】上記の構成によれば、前記記憶素子ならびにアクティブ素子を2組以上とし、第1のアクティブ素子側では、電位保持手段で第1のアクティブ素子または記憶素子の出力電位を保持して、電気光学素子を表示駆動する。そして、その電位保持手段と第1の記憶素子との間に第3のアクティブ素子をさらに設けることで、該第1のアクティブ素子側では、電気光学素子を表示駆動するための表示データの設定の自由度を向上する。すなわち、たとえば第1および第3のアクティブ素子を共に選択走査することで、第1の記憶素子および電位保持手段へ共通に表示データを取込み、表示を行うことができる。また、第3のアクティブ素子を非選択状態とし、第1のアクティブ素子のみを選択走査することで、第1の記憶素子の記憶内容に影響を与えることなく、電位保持手段にのみ表示データを取込み、表示を行うことができる。さらにまた、第1のアクティブ素子を非選択状態とし、第3のアクティブ素子のみを選択走査することで、第1の記憶素子の記憶内容で電位保持手段の表示データを書換え、表示を行うことができる。

【0024】したがって、一旦第1の記憶素子へ書込んだデータを第3のアクティブ素子を選択走査によって任意のタイミングで電位保持手段へ読出し、表示することができ、同じ表示データを用いて表示駆動する場合、データ信号線からのデータの再書き込みを不要とすることができる。また、この走査は、他の画素領域の第1の記憶

素子または電位保持手段へデータを書込む動作とは独立して実行できるので、1フレーム期間を短縮することができる。また、第1の記憶素子から表示データを読出して電位保持手段に設定するので、データ信号線やそれに接続される浮遊容量をチャージアップする必要はなく、低消費電力化を図ることができる。

【0025】さらにまた、本発明の表示装置は、前記電位保持手段に関連して、その電位を予め定める初期化電位に設定する第4のアクティブ素子をさらに備えることを特徴とする。

【0026】上記の構成によれば、第1のアクティブ素子を選択走査によることなく、第4のアクティブ素子を介して電位保持手段を前記予め定める初期化電位として、そのストアデータを消去することができる。

【0027】したがって、第2のアクティブ素子側での表示の重みを2のn乗レベルとし、第1のアクティブ素子側での表示の重みを（2のn乗-1）レベルとし、第1および第2の記憶素子による電気光学素子の電流駆動能力が相互に等しい場合、通常の2進数データをそのまま使用することができる。

【0028】また、本発明の表示装置は、前記記憶素子ならびにアクティブ素子は2組以上として、下位ビット側となる第1番目の記憶素子の出力による前記電気光学素子の電流駆動能力を基準に、第2番目以上の記憶素子の出力による前記電気光学素子の電流駆動能力は、前記第1番目の記憶素子の出力による電流駆動能力の2の乗数倍に順次設定されることを特徴とする。

【0029】上記の構成によれば、デジタル階調制御を実現するにあたって、1フレーム期間内で、下位側の所定ビット分の表示データは第1番目の記憶素子に順次与えられ、それよりも上位側ビットの表示データはそれぞれ個別に第2番目以上の記憶素子に与えられ、各記憶素子の並列の出力で前記電気光学素子が表示駆動される。このとき、第1番目の記憶素子の出力による前記電気光学素子の電流駆動能力を基準として、第2番目以上の記憶素子の出力による電流駆動能力を2の乗数倍に順次設定する。すなわち、第2番目の記憶素子の出力による電流駆動能力は2の0乗=1倍、第3番目の記憶素子の出力による電流駆動能力は2の1乗=2倍、第4番目の記憶素子の出力による電流駆動能力は2の2乗=4倍、…という具合である。

【0030】したがって、前記1フレーム期間に前記第2番目以降の記憶素子の出力による電気光学素子の発光が続くことになるので、動画偽輪郭の発生を、一層少なくすることができる。

【0031】さらにまた、本発明の表示装置では、前記記憶素子ならびにアクティブ素子は2組として、それぞれ第1および第2の記憶素子ならびに第1および第2のアクティブ素子とし、前記第1および第2のアクティブ素子の出力電位をそれぞれ保持して前記電気光学素子に

与える第1および第2の電位保持手段と、前記各電位保持手段と前記第1および第2の記憶素子との間にそれぞれ設けられる第3のアクティブ素子とをさらに備え、前記第1および第2のアクティブ素子と、それらに個別に対応した第3のアクティブ素子とを選択走査すること、前記第1および第2の記憶素子ならびに第1および第2の電位保持手段への表示データの書込み/読出しを制御し、かつその制御を第1のアクティブ素子側と第2のアクティブ素子側とで、周期的に切換えることを特徴とする。

【0032】上記の構成によれば、前記記憶素子ならびにアクティブ素子を2組とし、さらにそれぞれに電位保持手段を設け、その電位保持手段と記憶素子との間に第3のアクティブ素子をさらに設けることで、電気光学素子を表示駆動するための表示データの設定の自由度を向上しつつ、第1のアクティブ素子側と第2のアクティブ素子側とで共通の構成とし、周期的に切換えを行う。

【0033】すなわち、たとえば第1および第3のアクティブ素子を共に選択走査することで、第1の記憶素子および第1の電位保持手段へ共通に表示データを取込み、表示を行うことができる。また、第3のアクティブ素子を選択状態とし、第1のアクティブ素子のみを選択走査することで、第1の記憶素子の記憶内容に影響を与えず、第1の電位保持手段にのみ表示データを取込み、表示を行うことができる。さらにまた、第1のアクティブ素子を選択状態とし、第3のアクティブ素子のみを選択走査することで、第1の記憶素子の記憶内容で第1の電位保持手段の表示データを書換え、表示を行うことができる。このような駆動が、第1のアクティブ素子側と第2のアクティブ素子側とで、それぞれ行うことができ、周期的に、切換え、すなわち与えるビットデータを入換える。

【0034】したがって、電気光学素子側で、第1のアクティブ素子に対応した構成と第2のアクティブ素子に対応した構成とで電気光学素子の特性にバラツキがあっても、平均した輝度で観察することになるので、階調性の良い表示を得ることができる。

【0035】また、本発明の表示装置では、前記記憶素子ならびにアクティブ素子は2組以上として、そのうち2組を第1および第2の記憶素子ならびに第1および第2のアクティブ素子とし、前記第1および第2のアクティブ素子の出力電位をそれぞれ保持して前記電気光学素子に与える第1および第2の電位保持手段と、前記各電位保持手段と前記第1および第2の記憶素子との間にそれぞれ設けられる第3のアクティブ素子とをさらに備え、前記第1および第2のアクティブ素子と、それらに個別に対応した第3のアクティブ素子とを選択走査することで、前記第1および第2の記憶素子ならびに第1および第2の電位保持手段への表示データの書込み/読出しを制御し、かつ下位ビットの表示データの与えられる

アクティブ素子側でも、最上位ビットの表示データの書込みを行うことを特徴とする。

【0036】2の n 乗の階調表示を行う場合に、最上位ビットのデータの表示を、一方のアクティブ素子側のみで行うと、他方のアクティブ素子側では、最小表示期間のブランク表示が必要になる。しかしながら、上記の構成によれば、下位ビットの表示データの与えられるアクティブ素子にも、その最上位ビットのデータの表示を行わせることで、前記ブランク表示を用いることなく、したがって1フレーム期間を最小限にして、前記2の n 乗の階調表示を行うことができる。

【0037】さらにまた、本発明の表示装置は、マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、任意の i ライン目の電気光学素子に対して、隣接する $i+1$ ライン目と $i-1$ ライン目との電気光学素子が対を成すようにし、前記 i ライン目の電気光学素子と対を成す電気光学素子を、前記 $i+1$ ライン目とするか、 $i-1$ ライン目とするかをフィールド周期で切換え、それら一対の電気光学素子は、同一の表示データの最上位ビットと残余の下位ビットとを前記フィールド周期毎に交互に切換え表示することを特徴とする。

【0038】上記の構成によれば、入力する信号がインターレース信号の場合、たとえば奇数フィールドでは i ライン目と $i+1$ ライン目との電気光学素子で対を成し、偶数フィールドでは i ライン目と $i-1$ ライン目との電気光学素子で対を成す。そして、たとえば奇数フィールドで、奇数ラインの電気光学素子が最上位ビットの表示を行い、偶数ラインの電気光学素子が下位側ビットの表示を行い、偶数フィールドでは、奇数ラインの電気光学素子が下位側ビットの表示を行い、偶数ラインの電気光学素子が最上位ビットの表示を行う。

【0039】これによって、時間分割階調制御を行うにあたって、通常のインターレース走査に対応した表示データに対して、共通のデータ信号線を用いて、隣接する奇数ラインの電気光学素子に対応したアクティブ素子と偶数ラインの電気光学素子に対応したアクティブ素子との選択走査を工夫するだけで、動画偽輪郭の発生を抑えることができる。

【0040】

【発明の実施の形態】本発明の実施の第1の形態について、図1～図4に基づいて説明すれば、以下のとおりである。

【0041】図1は、本発明の実施の第1の形態の有機ELディスプレイを実現する素子回路Aの電気回路図である。相互に交差する複数の走査信号線Gおよびデータ信号線D（図1では、1素子分を示しており、前記信号線G、Dも1本のみを示している。）で区画されてマト

リクス状に配列された各領域に、該素子回路Aが形成される。また、前記走査信号線Gと平行にもう1本の走査信号線Sが形成され、前記データ信号線Dと平行に電源線Vが形成される。

【0042】前記素子回路Aには、有機EL素子1と、その有機EL素子1へ前記電源線Vから電流を供給する2つのp型のTFTQ11、Q21とが設けられ、それら有機EL素子1およびTFTQ11、Q21が1つの電気光学素子を形成する。前記TFTQ11、Q21は、第1のメモリ回路M1および第2のメモリ回路M2によってそれぞれON/OFFが制御される。本実施の形態では、前記TFTQ11、Q21は同一の形状のものが使用され、したがって前記メモリ回路M1、M2によって制御される電流量は、ほぼ等しく設定される。これによって、階調直線性の良い表示を得ることができる。TFTQ11、Q21のゲートのONレベルはGN D電位であり、OFFレベルは電源線Vの電位である。

【0043】前記メモリ回路M1、M2は、相互に等しく構成され、p型のTFTQ1およびn型のTFTQ2から成る1段目のCMOSインバータINV1と、p型のTFTQ3およびn型のTFTQ4から成る2段目のCMOSインバータINV2とを備えて構成される。CMOSインバータINV1、INV2の電源電圧は、前記電源線Vと接地電位との間の電圧となり、CMOSインバータINV2の出力がCMOSインバータINV1の入力に帰還されて、自己保持、すなわちメモリ動作が行われる。CMOSインバータINV1の入力はn型のTFTQ12またはQ22のゲートにそれぞれ接続され、CMOSインバータINV2の出力は前記TFTQ11またはQ21のゲートにそれぞれ接続されている。

【0044】前記メモリ回路M1、M2には、個別に対応して、前記TFTQ12、Q22がそれぞれ設けられている。TFTQ12は、走査コントローラによって前記走査信号線Gが選択走査されると、データ信号線Dから表示データを取込み、メモリ回路M1に設定する。同様に、TFTQ22は、走査コントローラによって前記走査信号線Sが選択走査されると、データ信号線Dから表示データを取込み、メモリ回路M2に設定する。なお、以下の説明では、特に断らない限り、各素子回路AのTFTQ12、Q22は非導通状態である。すなわち、メモリ回路M1、M2に記憶されている表示データに対応した電流が、有機EL素子1に供給されているものとする。

【0045】図2は、上述のように構成される素子回路Aを用いた有機ELディスプレイの駆動方法の一例を示す図である。この図2の例では、4ラインを走査の単位としている。したがって、素子回路は、各ラインに対応してA1～A4で表されている。図2(5)～(12)は、それぞれのメモリ回路M1、M2での表示データのストア状態を示す。また、この図2では、各素子回路A

で表示する階調数を4bit階調としており、第2のメモリ回路M2に4bit目のデータを取込み、第1のメモリ回路M1に残余の3～1bit目のデータを取込むものとする。このため、図2(1)は各走査期間Ts1～Ts4での単位時間表示であり、図2(2)は4bitのデータに対する通算表示時間を示し、図2(3)は3bitのデータに対する通算表示時間を示し、図2(4)は2bitのデータに対する通算表示時間を示す。図2(13)は、1フレーム期間Tf内での単位選択時間の通算時間である。

【0046】第1の走査期間Ts1(図2(13)の通算時間で1～8の期間)では、走査信号線S、Gで共通のデータ信号線Dを用いるので、先ず走査信号線Sを選択走査してTFTQ22を導通することで、メモリ回路M2に4bit目のデータを取込むとともに、該4bit目のデータの表示が開始される。次に、走査信号線Gを選択走査してTFTQ12を導通することで、メモリ回路M1に3bit目のデータを取込むとともに、該3bit目のデータの表示が開始される。このような4bit目のデータと3bit目のデータとの交互の取込み走査が、素子回路A1～A4に対して、順に行われる。したがって、この走査期間Ts1は $4 \times 2 = 8$ 単位時間となり、後述の残余の走査期間Ts2～Ts4の2倍となる。

【0047】続いて、第2の走査期間Ts2(図2(13)の通算時間で13～16の期間)では、走査信号線Gのみが順に選択走査され、メモリ回路M1に2bit目のデータが取込まれてゆく。本実施の形態では、時間分割階調の1階調当りの表示期間を4単位時間とするので、この2bit目のデータの表示期間は8単位時間となる。したがって、1bit目のデータの走査を行う第3の走査期間Ts3は、前記第2の走査期間Ts2から8単位時間だけ遅れて走査を開始し、図2(13)の通算時間で、21～24の期間となる。

【0048】その後、第4の走査期間Ts4が設けられるけれども、前記1bit目のデータの表示期間は4単位時間であるので、該第4の走査期間Ts4は、図2(13)の通算時間で、25～28の期間となる。この走査期間Ts4では、再び第1のメモリ回路M1に3bit目のデータが取込まれ、次のフレームの第1の走査期間Ts1でデータが更新されるまでの5単位時間に亘って、表示を継続する。

【0049】したがって、4～1bitの各データの表示時間は、素子回路A1について見れば、 $28:11$ (本来のフレーム期間分)+4(本来のフレーム期間分)+1(次のフレーム期間分): $8:4=28:16:8:4=7:4:2:1$ 、素子回路A4について見れば、 22 (本来のフレーム期間分)+6(次のフレーム期間分): 8 (本来のフレーム期間分)+1(本来のフレーム期間分)+7(次のフレーム期間分): $8:4$

=7:4:2:1となる。したがって、各素子回路Aでは、有機EL素子1を、メモリ回路M1からの出力で0~7階調レベルの発光を行わせることができ、メモリ回路M2からの出力で0または7階調レベルの発光を行わせることができる。

【0050】ここで、有機EL素子1と接続される前記TFTQ11、Q12が相互に等しい形状およびサイズで形成されることで、前記2つのTFTQ11、Q12が共に導通することで輝度レベル14の発光が、一方のみが導通することで輝度レベル7の発光が、2つが共に遮断することで輝度レベル0の発光が、有機EL素子1においてそれぞれ行われることになる。また、有機EL素子1が単一の素子で形成されていても、メモリ回路M1、M2からの出力電流を加算することで、同様の表示を期待することができる。

【0051】このように、1つの有機EL素子1を0、7、14の3つのレベルで発光させることで、図3で示すように、輝度レベル7の背景の中を輝度レベル6の物体が移動する場合、輝度レベル7の素子回路（図3ではA1、A4に相当）は常に輝度レベル7で点灯状態なので、矢符 α 11、 β 11で示すように、画面上を上から下へと、すなわち走査信号線G、Sの走査方向に視線が動いても、その輝度レベル7の素子回路に対して、輝度レベル6の素子回路（図3ではA2、A3に相当）は、殆ど動画偽輪郭を感じさせない表示が可能となる。図3(1)~(13)は、前述の図2(1)~(13)に、それぞれ対応している。

【0052】図4には、前述のように構成される素子回路Aを用いた有機ELディスプレイの駆動方法の他の例を示す。前述の図2の駆動方法では、メモリ回路M2からの出力で表示される階調レベルが7であり、4bitデータを用いても、表示可能な階調レベルは0~14の15階調レベルであり、4bitデータで本来表示することができる16階調レベルより少ない。そこで、この図4の駆動方法では、前記メモリ回路M1へ消去データを入力し、1階調分の表示期間を非発光状態とすることで、前記メモリ回路M2の出力で表示可能な階調レベルを8とするものである。この図4の例でも、前記図2と同様に、4ラインを走査の単位としており、図4(1)~(13)は、それぞれ図2(1)~(13)に対応している。

【0053】走査期間Ts1から走査期間Ts3における走査信号線Gの選択走査が終了するまでの期間（図4(13)の通算時間で1~24の期間）は、図2の場合と同様の駆動が行われる。本駆動方法では、その後、走査信号線Gが通常と同様に順に選択走査されて、通算時間で25~28の期間は、前記メモリ回路M1に前記消去データが入力され、ブランク表示となる。このブランク表示の後の通算時間で28~32の期間が、前記走査期間Ts4となって、メモリ回路M1に再び3bit目

のデータが取込まれ、次のフレームの第1の走査期間Ts1でデータが更新されるまでの5単位時間に亘って、表示が継続される。

【0054】したがって、4~1bitの各データの表示時間は、素子回路A1について見れば、 $32:11$ （本来のフレーム期間分）+4（本来のフレーム期間分）+1（次のフレーム期間分）： $8:4=8:4:2:1$ となって、4bitデータをフルに使用した16階調レベルの表示が可能となる。すなわち、この図4の駆動方法は、消去データを表示させるために使用した通算時間25~28で1階調分表示できるのに、わざわざ表示しないで0~15階調レベルの16階調を表示したとも解釈できる。しかしながら、元々、デジタルデータは2進数データとして変換されることが多いので、この2進数データをそのままデータ変換することなく取扱うことができれば、前記の1階調分減らしても好ましいと言える。すなわち、この図4の駆動方法では、図2の駆動方法のように16階調から15階調へデータ変換をする必要がないので、周辺回路の変更等を伴うことなく、容易に適用することができる。

【0055】本発明の実施の第2の形態について、図5~図7に基づいて説明すれば、以下のとおりである。

【0056】図5は、本発明の実施の第2の形態の有機ELディスプレイにおける素子回路Aaの電気回路図である。この素子回路Aaは、前述の素子回路Aに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。この素子回路Aaは、前記メモリ回路M2に関する構成は素子回路Aと同様であるけれども、注目すべきは、メモリ回路M1に関する構成において、TFTQ12が直接TFTQ11のゲートに接続され、さらにそのゲートの電位を保持するコンデンサC1が設けられて該コンデンサC1の電位でTFTQ11がON/OFF制御され、有機EL素子1を流れる電流量が制御されるとともに、メモリ回路M1への前記表示データの書込み/読出しがTFTQ13を介して行われることである。このため、前記走査信号線G、Sと平行に、選択線Gaが設けられている。

【0057】したがって、前記コンデンサC1の電位は、走査信号線Gが選択走査されているときにデータ信号線Dから取込まれ、設定される。一方、メモリ回路M1には、走査信号線Gおよび選択線Gaが共に選択走査されているときにデータ信号線Dから表示データが書込まれる。また、走査信号線Gが非選択状態で、かつ選択線Gaが選択走査されているときにメモリ回路M1から読出された表示データで、前記コンデンサC1の電位は設定される。

【0058】このような素子回路Aaを用いた駆動方法の一例は、図6に示すようになる。この図6の例では、5ラインを走査の単位としており、したがって素子回路はA1~A5であり、図6(5)~(14)に、それぞ

れのコンデンサC1およびメモリ回路M2での表示データのストア状態を示す。また、5bit階調のデータを用いるものとし、図6(2)はbit5のデータに対する通算表示時間を示し、図6(3)はbit4のデータに対する通算表示時間を示し、図6(4)はbit3、2、1のデータに対する通算表示時間を示す。図6

(1)は各走査期間Ts1~Ts4での単位時間表示であり、図6(15)は1フレーム期間Tf内での単位選択時間の通算時間である。

【0059】第1の走査期間Ts1(図6(15)の通算時間で1~10の期間)では、先ず走査信号線Sを選択走査してTF TQ22を導通することで、メモリ回路M2に5bit目のデータを取込むとともに、該5bit目のデータの表示が開始される。次に、走査信号線Gおよび選択線Gaを選択走査してTF TQ12、Q13を導通することで、コンデンサC1およびメモリ回路M1に4bit目のデータを取込むとともに、該4bit目のデータの表示が開始される。このような5bit目のデータと4bit目のデータとの交互の取込み走査が、素子回路A1~A5に対して、順に行われる。したがって、この走査期間Ts1は $5 \times 2 = 10$ 単位時間となり、後述の残余の走査期間Ts2~Ts4の2倍となる。

【0060】続いて、第2の走査期間Ts2(図6(15)の通算時間で11~15の期間)では、走査信号線Gのみが順に選択走査され、コンデンサC1に3bit目のデータが取込まれ、表示が開始される。このとき、選択線Gaは非選択状態であるので、TF TQ13は遮断し、メモリ回路M1は4bit目のデータを保持し続ける。本実施の形態では、時間分割階調の1階調当りの表示期間を2単位時間とするので、この3bit目のデータの表示期間は8単位時間となる。

【0061】したがって、2bit目のデータの走査を行う第3の走査期間Ts3は、前記第2の走査期間Ts2から8単位時間だけ遅れて走査を開始し、図6(15)の通算時間で19~23の期間となる。このときも前記走査期間Ts2と同様に、選択線Gaは非選択状態であるので、TF TQ13は遮断し、メモリ回路M1は4bit目のデータを保持し続ける。しかしながら、該走査期間Ts2が5単位時間であるのに対して、表示に必要な期間は4単位時間であるので、余分になる最後の1単位時間(図6(15)の通算時間で23~27の期間)では、選択線Gaのみが順に選択走査され、TF TQ13を導通することでコンデンサC1にそのメモリ回路M1にストアされていた4bit目のデータを読み出し、表示が行われる。

【0062】そして、第4の走査期間Ts4(図6(15)の通算時間で24~28の期間)でも、走査信号線Gのみが順に選択走査され、コンデンサC1に1bit目のデータが取込まれ、表示が開始される。ここでも、

前記2bit目の表示と同様に、余分になる後半の3単位時間(図6(15)の通算時間で26~30の期間)では、選択線Gaのみが順に選択走査され、再びメモリ回路M1から前記4bit目のデータを読み出し、次のフレームの第1の走査期間Ts1でデータが更新されるまで、表示を継続する。

【0063】したがって、5~1bitの各データの表示時間は、素子回路A1について見れば、 $30:9$ (本来のフレーム期間分) $+1$ (本来のフレーム期間分) $+5$ (本来のフレーム期間分) $+1$ (次のフレーム期間分) $:8:4:2=15:8:4:2:1$ となる。

【0064】このように構成しても、動画偽輪郭を抑制する効果は、前記図1~図4の構成と同様に有しており、さらに4bit階調目が3つに分割される分だけ、より動画偽輪郭抑制効果があると推測される。

【0065】また、前述の素子回路Aでは、一旦メモリ回路M1へ書込んだデータを他のデータの表示後に表示させるためには、再度該メモリ回路M1へ書込む必要があるのに対して、この素子回路Aaでは、該メモリ回路M1とコンデンサC1とを用い、一旦該メモリ回路M1へ書込んだデータを選択線Gaの選択走査によって任意のタイミングでコンデンサC1へ読み出し、表示することができ、前記再書き込みを不要とすることができる。

【0066】すなわち、この素子回路Aaおよびその駆動方法による効果は、図2と図6とを比較すれば明白である。前記コンデンサC1およびTF TQ13を持たない図2の駆動方法では4本の走査信号線G1~G4を有する表示装置に4bit階調表示させるには28単位時間が必要であったのに対して、前記コンデンサC1およびTF TQ13を備える図6の駆動方法では、5本の走査信号線G1~G5を有する表示装置に5bit階調表示させるのに30通算時間しか必要とならない。これによって、選択走査に要する時間を短縮し、1フレーム期間Tfを短縮することができる。

【0067】また、図2の駆動方法では、3bit目のデータを改めて書直すために、データ信号線Dをチャージアップしなければならず、この場合、該データ信号線Dに接続される各素子回路AのTF TQ12、Q22等が浮遊容量として働くので、それら浮遊容量もチャージアップする必要があり、消費電力が嵩むという問題がある。これに対して、図6の駆動方法では、メモリ回路M1からTF TQ13を通してコンデンサC1へ至る経路だけチャージアップすればよいので、前記データ信号線Dをチャージアップする必要はなく、その分、低消費電力化を図ることができる。

【0068】図7には、前述のように構成される素子回路Aaを用いた有機ELディスプレイの駆動方法の他の例を示す。前述の図6の駆動方法とは、1bit目のデータの取込みタイミングが異なるだけで、その他の点では大差はない。図7(1)~(15)は、それぞれ図6

(1)～(15)に対応している。

【0069】この駆動方法では、第1の走査期間 T_{s1} (図7(15)の通算時間で1～15の期間)では、先ず走査信号線 S を選択走査して $TFTQ22$ を導通することで、メモリ回路 $M2$ に5bit目のデータを取込むとともに、該5bit目のデータの表示が開始される。次に、走査信号線 G および選択線 Ga を選択走査して $TFTQ12$ 、 $Q13$ を導通することで、コンデンサ $C1$ およびメモリ回路 $M1$ に4bit目のデータを取込むとともに、該4bit目のデータの表示が開始される。ところが、前記4bit目のデータは、1単位時間表示されるだけで、直ちに、走査信号線 G のみが選択走査されてコンデンサ $C1$ に1bit目のデータが取込まれるとともに、該1bit目のデータの表示が開始される。そして、2単位時間表示された後、選択線 Ga のみが選択走査されて、メモリ回路 $M1$ からコンデンサ $C1$ に4bit目のデータが読出されてセットされるとともに、再び該4bit目のデータの表示が開始される。このような5bit目のデータと4bit目のデータとのメモリ回路 $M2$ 、 $M1$ へのそれぞれの取込み走査と、1bit目のデータのコンデンサ $C1$ へのセットとが、素子回路 $A1$ ～ $A5$ に対して、順に行われる。したがって、この走査期間 T_{s1} は $5 \times 3 = 15$ 単位時間となり、後述の残余の走査期間 T_{s2} ～ T_{s4} の3倍となる。

【0070】続いて、第2の走査期間 T_{s2} (図7(15)の通算時間で16～20の期間)では、前記図6の走査期間 T_{s2} と同様に、走査信号線 G のみが順に選択走査され、コンデンサ $C1$ に3bit目のデータが取込まれ、表示が開始される。そして、8単位時間に亘って表示した後、第3の走査期間 T_{s3} (図7(16)の通算時間で24～28の期間)では、前記図6の走査期間 T_{s3} と同様に、走査信号線 G のみが順に選択走査され、コンデンサ $C1$ に2bit目のデータが取込まれて表示が行われ、最後の1単位時間 (図7(15)の通算時間で28～次のフレームの2の期間)では、選択線 Ga のみが順に選択走査され、コンデンサ $C1$ にメモリ回路 $M1$ にストアされていた4bit目のデータを再度読出し、次のフレームの第1の走査期間 T_{s1} でデータが更新されるまで、表示を継続する。

【0071】このような駆動方法では、1フレーム期間 T_f に占める走査期間 T_s の割合は同じであるけれども (25/30)、走査期間の数を削減することができる。

【0072】本発明の実施の第3の形態について、図8～図10に基づいて説明すれば、以下のとおりである。

【0073】図8は、本発明の実施の第3の形態の有機ELディスプレイにおける素子回路 Ab の電気回路図である。この素子回路 Ab は、前述の素子回路 Aa に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路 Ab で

は、前述の素子回路 Aa の構成に、第3のメモリ回路 $M3$ およびそれに関連する $TFTQ31a$ 、 $Q31b$ 、 $Q32$ が設けられていることである。メモリ回路 $M3$ およびその入力端と前記データ信号線 D との間に設けられる $TFTQ32$ は、前述のメモリ回路 $M1$ 、 $M2$ および $TFTQ12$ 、 $Q22$ と同様に構成される。また、相互に並列に接続され、メモリ回路 $M3$ の出力で駆動され、前記電源線 V から有機EL素子1への電流量を制御する $TFTQ31a$ 、 $Q31b$ も、前述の $TFTQ11$ 、 $Q21$ と等しい面積に形成される。

【0074】したがって、このメモリ回路 $M3$ に関する構成は、メモリ回路 $M1$ 、 $M2$ に関する構成に比べて、2倍の電流を供給することが可能となっており、同じ時間だけ有機EL素子1を点灯させた場合、該メモリ回路 $M3$ にストアされる表示データは、メモリ回路 $M1$ 、 $M2$ にストアされる表示データの2倍の重みを有することになる。メモリ回路 $M3$ への前記表示データの書き込みを制御する $TFTQ32$ は、前記走査信号線 G 、 S および選択線 Ga と平行に設けられる走査信号線 K によって選択走査される。また、前記コンデンサ $C1$ の電位は、前記素子回路 Aa では GND 電位から定められていたけれども、この素子回路 Ab では電源線 V の電位から定められる。

【0075】このような素子回路 Ab を用いた駆動方法の一例は、図9に示すようになる。この図9の例では、6ラインを走査の単位としており、したがって素子回路は $A1$ ～ $A6$ であり、図9(6)～(23)に、それぞれのコンデンサ $C1$ およびメモリ回路 $M2$ 、 $M3$ での表示データのストア状態を示す。また、5bit階調のデータを用いるものとし、図9(2)はbit5のデータに対する通算表示時間を示し、図9(3)はbit4のデータに対する通算表示時間を示し、図9(4)はbit3のデータに対する通算表示時間を示し、図9(5)はbit2、1のデータに対する通算表示時間を示す。図9(1)は各走査期間 T_{s1} ～ T_{s3} での単位時間表示であり、図9(24)は1フレーム期間 T_f 内での単位選択時間の通算時間である。

【0076】第1の走査期間 T_{s1} (図9(24)の通算時間で1～18の期間)では、先ず走査信号線 K を選択走査して $TFTQ32$ を導通することで、メモリ回路 $M3$ に5bit目のデータを取込むとともに、該5bit目のデータの表示が開始される。次に、走査信号線 S を選択走査して $TFTQ22$ を導通することで、メモリ回路 $M2$ に4bit目のデータを取込むとともに、該4bit目のデータの表示が開始される。続いて、走査信号線 G および選択線 Ga を選択走査して $TFTQ12$ 、 $Q13$ を導通することで、コンデンサ $C1$ およびメモリ回路 $M1$ に3bit目のデータを取込むとともに、該3bit目のデータの表示が開始される。このような5～3bit目のデータの交互の取込み走査が、素子回路 A

1～A6に対して、順に行われる。したがって、この走査期間Ts1は $6 \times 3 = 18$ 単位時間となり、後述の残余の走査期間Ts2, Ts3の3倍となる。

【0077】続いて、第2の走査期間Ts2(図9(24)の通算時間で19～24の期間)では、走査信号線Gのみが順に選択走査され、コンデンサC1に1bit目のデータが取込まれ、表示が開始される。このとき、選択線Gaは非選択状態であるので、TFTQ13は遮断し、メモリ回路M1は3bit目のデータを保持し続ける。本実施の形態では、時間分割階調の1階調当りの表示期間を5単位時間とするので、この1bit目のデータの表示期間は5単位時間となる。しかしながら、該走査期間Ts2が6単位時間であるのに対して、表示に必要な期間は前記5単位時間であるので、余分になる最後の1単位時間(図9(24)の通算時間で24～29の期間)では、選択線Gaのみが順に選択走査され、コンデンサC1にメモリ回路M1にストアされていた3bit目のデータを読み出し、表示が行われる。

【0078】そして、第3の走査期間Ts3(図9(24)の通算時間で25～30の期間)では、走査信号線Gのみが順に選択走査され、コンデンサC1に2bit目のデータが取込まれ、表示が開始される。そして、10単位時間に亘って表示した後に、選択線Gaのみが順に選択走査され、再びメモリ回路M1から前記3bit目のデータを読み出し、次のフレームの第1の走査期間Ts1でデータが更新されるまで、表示を継続する。

【0079】したがって、5～1bitの各データの表示時間は、素子回路A1について見れば、 35×2 (2倍の電流量による重み分):34(本来のフレーム期間分)+1(次のフレーム期間分):16(本来のフレーム期間分)+1(本来のフレーム期間分)+1(本来のフレーム期間分)+2(次のフレーム期間分):10:5=70:35:20:10:5=14:7:4:2:1となる。

【0080】このように3組以上のメモリ回路M1～M3ならびにそれに対応したTFTQ12～Q32を設け、下位ビット側となるメモリ回路M1, M2に対応したTFTQ11, Q21の電流駆動能力を相互に等しく設定し、メモリ回路M3に対応したTFTQ31a, Q31bの電流駆動能力もそれに等しく、すなわちメモリ回路M3による電流駆動能力をメモリ回路M1, M2の電流駆動能力の2倍に設定することで、デジタル階調制御を実現するにあたって、1フレーム期間Tf中、上位2bitのデータを常に点灯または消灯状態とすることで、動画偽輪郭を一層抑えた表示を行うことができる。

【0081】ここで、本実施の形態では、発光する輝度レベルが0輝度レベルを含め、7, 14, 28の3つ以上が使用されている。この点では、従来技術で示した特開2000-347623号公報の複数TFTでの階調表示方法と同様である。しかしながら、同時にこの点

は、従来技術で示したIDW'99の画素分割階調表示方法や、SID'00の時間分割階調表示方法とは異なる。IDW'99の画素分割階調表示方法や、SID'00の時間分割階調表示方法のように2つの輝度レベルを組合わせて階調表示する場合と、本発明や特開2000-347623号のように複数TFTでの階調表示方法で複数輝度レベルを用いる場合との効果の違いについて、以下に説明する。

【0082】図10は、ある有機EL素子の発光輝度と発光効率との関係を示すグラフである。この材料では、参照符 $\gamma 1$ で示す発光輝度が $30 [cd/m^2]$ 近辺で、参照符 $\gamma 2$ で示す発光効率は $23 [lm/W]$ の最高効率を示す。その後、発光輝度が上昇する程、発光効率は低下する。そこで、仮に表示パネルの最高輝度が $100 [cd/m^2]$ 、有機EL素子の画素占有率が50%と仮定し、このパネルで $50 [cd/m^2]$ の表示を得るための条件を考える。

【0083】2つの輝度レベルを組合わせて階調表示する場合は、発光はパネルで最高輝度レベルである $100 [cd/m^2]$ と $0 [cd/m^2]$ との組合せとなる。パネルで $100 [cd/m^2]$ を得るためには、占有率で半減するので、発光部で $200 [cd/m^2]$ を得る必要がある。したがって、上記の場合、図10から、発光効率は約 $20 [lm/W]$ となる。

【0084】これに対して、本実施の形態のように(輝度0を含む)5段階で発光する場合、発光は中間輝度レベルである $50 [cd/m^2]$ を用いれば良い。パネルで $50 [cd/m^2]$ を得るためには、発光部で $100 [cd/m^2]$ を得る必要がある。したがって、図10から、発光効率は $100 [cd/m^2]$ に対応する約 $22 [lm/W]$ となる。

【0085】前者の例のように、輝度レベル0%と100%としか用いない場合の発光効率は、輝度レベル100%の発光効率となる。したがって、この輝度レベル100%が最高発光効率を示す場合、もしくはこの輝度レベル100%より高い輝度レベルが最高発光効率を示す場合は、この2値の輝度レベルを用いる方法が良い。一方、後者の例のように、輝度レベル0%と50%と100%とのように、3つ以上の発光レベルを用いる場合は、この輝度レベル0%と100%との間に最高発光効率がある場合に、より最高発光効率に近い輝度レベルが使用できるので、有効である。したがって、前記図10の特性のように輝度レベル0%と100%との間に最高発光効率がある場合に、3つ以上の発光レベルを用いる前記の各実施の形態の構成は、好適である。

【0086】そして、3個のTFTQ12～Q32を用い、下位ビット側となるTFTQ12, Q22の出力による電流駆動能力を相互に等しく設定し、TFTQ32の出力による電流駆動能力を前記TFTQ12, Q22の2倍に設定することで、時間分割階調制御を実現する

にあたって、1フレーム期間 T_f 中、上位2ビットのデータを、常に点灯または消灯状態とすることができ、動画偽輪郭を一層抑えることができる。4個以上のTFTを用いる場合には、その出力による電流駆動能力を2の乗数倍に設定すればよい。

【0087】本発明の実施の第4の形態について、図11および図12に基づいて説明すれば、以下のとおりである。

【0088】図11は、本発明の実施の第4の形態の有機ELディスプレイにおける素子回路Acの電気回路図である。この素子回路Acは、前述の素子回路Aaに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路Acでは、前記コンデンサC1を電源線Vの電位で充電することで、そのストアデータを消去するTFTQ14がさらに設けられるとともに、走査信号線G、Sおよび選択線Gaと平行に、もう1つの選択線Gbが設けられていることである。これらの選択線Ga、Gbは、選択走査される際には、択一的に選択される。このような消去用のTFT14を用いる構成は、従来技術の図22でも示されているけれども、前記の素子回路Abのように3つ目以上のメモリ回路M3～を用いることなく、前記のような上位ビットの階調レベルを2の階乗とすることができる。

【0089】このような素子回路Acを用いた駆動方法の一例は、図12に示すようになる。この図12の例では、5ラインを走査の単位としており、したがって素子回路はA1～A5であり、図12(1)～(15)は、前述の図6(1)～(15)にそれぞれ対応している。第1の走査期間Ts1～第3の走査期間Ts3においてコンデンサC1に2ビット目のデータを取込んでゆく時点までは、前述の図6の駆動方法と同一である。

【0090】しかしながら、図6の駆動方法の場合は、該走査期間Ts3において余分になる最後の1単位時間(図6(15)の通算時間で23～27の期間)では、選択線Gaのみが順に選択走査され、メモリ回路M1にストアされていた4ビット目のデータを読み出し、表示が行われるのに対して、この図12の駆動方法の場合は、前記最後の1単位時間(同様に図12(15)の通算時間で23～27の期間)では、選択線Gbのみが順に選択走査され、前記TFTQ14を導通することで、コンデンサC1のデータが消去され、ブランク表示となる。

【0091】そして、そのブランク表示は後述するように1階調分あればよいので、2単位時間に亘って行った後、第4の走査期間Ts4(図12(15)の通算時間で25～29の期間)となり、走査信号線Gのみが順に選択走査され、コンデンサC1に1ビット目のデータが取込まれ、表示が開始される。ここでも、前記2ビット目の表示と同様に、余分になる後半の3単位時間(図12(15)の通算時間で27～31の期間)では、選択

線Gaのみが順に選択走査され、再びメモリ回路M1から前記4ビット目のデータを読み出し、その後もさらに3単位時間(図12(15)の通算時間で30～32の期間)に亘って表示を行った後、次のフレームの第1の走査期間Ts1でデータが更新されるまで、表示を継続する。

【0092】したがって、5～1ビットの各データの表示時間は、素子回路A1について見れば、 $32:9$ (本来のフレーム期間分) $+6$ (本来のフレーム期間分) $+1$ (次のフレーム期間分) $:8:4:2=16:8:4:2:1$ となる。したがって、前記2単位時間のブランク表示を挿入することで、メモリ回路M1側での表示の重みを(2の n 乗 -1)レベルとし、メモリ回路M2側での表示の重みを2の n 乗レベルとすることができる。これによって、通常の2進数データをそのまま使用することができる。

【0093】すなわち、前述の素子回路Aaを用いた図6、7の駆動方法は、メモリ回路M1とコンデンサC1とを用いて、1, 2, ..., (2の n 乗)のように $(n+1)$ ビット階調を表示するとき、 $(2の(n-1)乗) > (1+2+\dots+(2の(n-2)乗))$

であるので、各ビットの走査期間を(2の $(n-2)$ 乗)階調の表示期間とほぼ等しくし、予め(2の $(n-1)$ 乗)階調表示データをメモリ回路M1へ記憶させ、その後コンデンサC1を用いて(2の $(n-2)$ 乗), ..., 2, 1階調表示を行い、その(2の $(n-2)$ 乗), ..., 2, 1階調表示の余った時間に先のメモリ回路M1へ記憶させたデータを用いて、(2の $(n-1)$ 乗)階調表示の残った表示期間を表示させるものである。

【0094】これに対して、この素子回路Acを用いた図12の駆動方法は、上記表示期間の合計が、 $(2のn乗) > (1+2+\dots+(2の(n-2)乗)) + (2の(n-1)乗)$

と、メモリ回路M2を用いて(2の n 乗)階調表示を行うべき期間より1階調分足りなくなるので、前記TFTQ14を用いてブランク表示するだけの期間を1階調分作り、2の n 乗の M 階調表示を実現させたものである。

【0095】前述の図2、6、7等では、TFTQ21が導通状態となった時の発光量を、TFTQ11が導通状態となった時の発光量より1階調分大きくすれば、各ビットデータの重みの比を、 $1:2:4:8$ 等、2の階乗の重みとできる。これに対して、この図12では、TFTQ11、Q12の重みを等しくしている。それは、特性がほぼ等しいTFTや電気光学素子が作成される可能性は比較的高いが、特性が1階調レベルだけずれたTFTや電気光学素子が作成される可能性が比較的低いためである。

【0096】そこで、表示可能な階調数 M を2の階乗 $-$

1とする場合は、前述の図2, 6, 7等のように、メモリ回路M2に最上位bitのデータを記憶させれば済むのに対して、階調数Mを2の階乗とする場合は、後述の図14のように、最上位bitのデータをメモリ回路M1へも記憶させたり、下位bitのデータをメモリ回路M2に記憶させたり、この図12のようにメモリ回路M1（やコンデンサC1）による発光に非発光期間を設ける等の処置が必要である。しかしながら、この場合、前述のように通常の2進数データをそのまま使用することができるので、余計なデータ変換回路は不要であり、好適である。

【0097】本発明の実施の第5の形態について、図13および図14に基づいて説明すれば、以下のとおりである。

【0098】図13は、本発明の実施の第5の形態の有機ELディスプレイにおける素子回路Adの電気回路図である。この素子回路Adは、前述の素子回路Aaに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路Adでは、2つのメモリ回路M1, M2に関連する構成が、相互に等しいことである。すなわち、メモリ回路M1に関連して、TFTQ11, Q12, Q13およびコンデンサC1ならびに走査信号線Gおよび選択線Gaが設けられるのと同様に、メモリ回路M2に関連して、TFTQ21, Q22, Q23およびコンデンサC2ならびに走査信号線Sおよび選択線Saが設けられる。

【0099】このような素子回路Adを用いた駆動方法の一例は、図14に示すようになる。この図14の例では、6ラインを走査の単位としており、したがって素子回路はA1～A6であり、図14(5)～(16)に、それぞれのコンデンサC1, C2での表示データのストア状態を示す。また、4bit階調のデータを用いるものとし、図14(2)はbit4のデータに対する通算表示時間を示し、図14(3)はbit3のデータに対する通算表示時間を示し、図14(4)はbit2, 1のデータに対する通算表示時間を示す。図6(1)は各走査期間Ts1～Ts4での単位時間表示であり、図6(17)は1フレーム期間Tf内での単位選択時間の通算時間である。

【0100】この駆動方法は、奇数フレーム期間Tf1と偶数フレーム期間Tf2とで1組となっている。第1のフレーム期間Tf1の第1の走査期間Ts1(図14(17)の通算時間で1～6の期間)では、走査信号線G, Sおよび選択線Saのみが順に選択走査されてTFTQ12; Q22, Q23が導通し、メモリ回路M2およびコンデンサC1, C2に4bit目のデータを取込むとともに、該4bit目のデータの表示が開始される。

【0101】ここで、4bitのデータで16階調表示を実現するには、1階調当りの表示期間を4単位時間と

すると、4bit目のデータの表示期間には $4 \times 8 = 32$ 単位時間あればよく、そのうち前記コンデンサC1を用いて表示した期間が既に6単位時間あるので、コンデンサC2を用いて表示する期間は、合計で $32 - 6 = 26$ 単位時間あればよい。これは1フレーム期間Tfより4単位時間短いので、余分となる期間で、3bit目のデータを表示することができる。そして、その3bit目のデータがコンデンサC2に保持されている時間は、4単位時間となる。

【0102】このため、第2の走査期間Ts2(図14(17)の通算時間で7～12の期間)では、走査信号線G, Sおよび選択線Gaのみが順に選択走査されてTFTQ12, Q13; Q22が導通し、メモリ回路M1およびコンデンサC1, C2に3bit目のデータを取込むとともに、該3bit目のデータの表示が開始される。このとき、選択線Saは非選択状態であるので、TFTQ23は遮断し、メモリ回路M2は4bit目のデータを保持し続ける。その第2の走査期間Ts2の途中で、前記4単位時間が経過した時点で、選択線Saのみが選択走査されてTFTQ23が導通し、コンデンサC2に4bit目のデータが読出され、以降第1のフレーム期間Tf1の終了まで表示が行われることになる。コンデンサC1に関しては、第2の走査期間Ts2の終了まで、前記3bit目のデータの表示が行われる。

【0103】続いて、第3の走査期間Ts3(図14(17)の通算時間で13～18の期間)では、走査信号線Gのみが順に選択走査され、コンデンサC1に2bit目のデータが取込まれ、表示が開始される。このとき、選択線Gaは非選択状態であるので、TFTQ13は遮断し、メモリ回路M1は3bit目のデータを保持し続ける。本実施の形態では、前記のように時間分割階調の1階調当りの表示期間を4単位時間とするので、この2bit目のデータの表示期間は8単位時間となる。

【0104】したがって、1bit目のデータの走査を行う第4の走査期間Ts4は、前記第3の走査期間Ts3から8単位時間だけ遅れて開始され、図14(17)の通算時間で21～26の期間となり、走査信号線Gのみが順に選択走査される。このときも前記走査期間Ts3と同様に、選択線Gaは非選択状態であるので、TFTQ13は遮断し、メモリ回路M1は3bit目のデータを保持し続ける。そして、6単位時間の該走査期間Ts4に対して、表示に必要な期間は4単位時間であるので、余分になる後半の2単位時間(図14(17)の通算時間で25～30の期間)では、選択線Gaのみが順に選択走査され、メモリ回路M1にストアされていた3bit目のデータを読出し、表示が行われる。

【0105】したがって、4～1bitの各データの表示時間は、素子回路A1について見れば、 $6 \times 2 + 20 : 4 + 6 + 6 : 8 : 4 = 8 : 4 : 2 : 1$ となる。このように下位ビット側のコンデンサC1にも最上位ビット

のデータを取込むことで、前記のブランク表示を用いることのない30単位時間で1フレーム期間 T_f を構成しても、4bit目のデータの表示時間を32単位時間確保し、該4bit目のデータをフルに使用した16階調表示を行うことができる。これによって、2の n 乗の階調表示を行うにあたって、1フレーム期間 T_f を最小限にすることができる。

【0106】また、第2のフレーム期間 T_{f2} では、前記第1のフレーム期間 T_{f1} におけるメモリ回路M1およびコンデンサC1の組合わせと、メモリ回路M2およびコンデンサC2の組合わせとにおける表示データが相互に入換えられることになる。これは、 $TFTQ11$ と $TFTQ21$ とで有機EL素子1へ供給する電流量に微妙なバラツキが発生する場合に備え、そのバラツキによる影響を4bit目とそれ以外のbitとへ分散させるためである。このようにすれば、前記 $TFTQ11$ と $TFTQ21$ とで特性に多少のバラツキがあっても、階調性の良い表示を得ることができる。

【0107】本発明の実施の第6の形態について、図15および図16に基づいて説明すれば、以下のとおりである。

【0108】図15は、本発明の実施の第6の形態の有機ELディスプレイにおける素子回路Aeの電気回路図である。この素子回路Aeは、前述の素子回路Abに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路Aeでは、前述の素子回路Adと同様に、総てのメモリ回路M1～M3および $TFTQ12 \sim Q32$ に関して、それぞれ電位保持用のコンデンサC1～C3および前記メモリ回路M1～M3の書き込み／読出し制御用の $TFTQ13 \sim Q33$ が設けられていることである。前記 $TFTQ12 \sim Q32$ は走査信号線G、S、Kによってそれぞれ選択走査され、前記 $TFTQ13 \sim Q33$ は選択線Ga、Sa、Kaによってそれぞれ選択走査される。

【0109】このような素子回路Aeを用いた駆動方法の一例は、図16に示すようになる。この図16の例では、6ラインを走査の単位としており、したがって素子回路はA1～A6であり、図16(6)～(23)に、それぞれのコンデンサC1～C3での表示データのストア状態を示す。また、5bit目のデータを用いるものとし、図16(2)はbit5のデータに対する通算表示時間を示し、図16(3)はbit4のデータに対する通算表示時間を示し、図16(4)はbit3のデータに対する通算表示時間を示し、図16(5)はbit2、1のデータに対する通算表示時間を示す。図16(1)は各走査期間 $T_{s1} \sim T_{s5}$ での単位時間表示であり、図16(24)は1フレーム期間 T_f 内での単位選択時間の通算時間である。

【0110】第1の走査期間 T_{s1} (図16(24)の通算時間で1～6の期間)では、先ず総ての走査信号線

K、S、Gを選択走査して $TFTQ12 \sim Q32$ を導通することで、コンデンサC1～C3に5bit目のデータを取込むとともに、該5bit目のデータの表示が開始される。このとき、選択線Kaもまた選択走査され、 $TFTQ33$ が導通することで、メモリ回路M3に該5bit目のデータが取込まれる。このような5bit目のデータの取込み走査が、素子回路A1～A6に対して、順に行われる。したがって、この走査期間 T_{s1} は6単位時間となる。

【0111】同様に、第2の走査期間 T_{s2} (図16(24)の通算時間で7～12の期間)でも、総ての走査信号線K、S、Gを選択走査して $TFTQ12 \sim Q32$ を導通することで、コンデンサC1～C3に4bit目のデータを取込むとともに、該4bit目のデータの表示が開始される。このときは、選択線Saが選択走査され、 $TFTQ23$ が導通することで、メモリ回路M2に該4bit目のデータが取込まれる。そして、コンデンサC3に関しては、5単位時間の表示を行った後、最後の1単位時間では、選択線Kaが選択走査され、メモリ回路M3から5bit目のデータが読出され、以降、1フレーム期間 T_f の終了まで、その5bit目のデータの表示が行われる。

【0112】続いて、第3の走査期間 T_{s3} (図16(24)の通算時間で13～18の期間)では、走査信号線S、Gを選択走査して $TFTQ22$ 、 $Q32$ を導通することで、コンデンサC2、C3に3bit目のデータを取込むとともに、該3bit目のデータの表示が開始される。その表示は、走査期間 T_{s3} が終了しても、1単位時間だけ継続される。

【0113】第4の走査期間 T_{s4} (図16(24)の通算時間で20～25の期間)では、走査信号線Gおよび選択線Gaを共に選択走査して $TFTQ12$ 、 $Q13$ を導通することで、コンデンサC1およびメモリ回路M1に2bit目のデータを取込むとともに、該2bit目のデータの表示が開始される。一方、該走査期間 T_{s4} の開始から2単位時間経過した後に、選択線Saが選択走査され、メモリ回路M2から4bit目のデータが読出され、以降、1フレーム期間 T_f の終了まで、その4bit目のデータの表示が行われる。

【0114】第5の走査期間 T_{s5} (図16(24)の通算時間で26～31の期間)では、走査信号線Gのみを選択走査して $TFTQ12$ を導通することで、コンデンサC1に1bit目のデータを取込むとともに、該2bit目のデータの表示が開始される。そして、1階調当りの表示時間は4単位時間であるので、該走査期間 T_{s5} の開始から4単位時間経過した後に、選択線Gaが選択走査され、メモリ回路M1から2bit目のデータが読出され、以降の2単位時間に亘って表示される。

【0115】したがって、5～1bitの各データの表示時間は、素子回路A1について見れば、(6+20)

$\times 2$ (2 倍の電流量による重み分) $+ 6 \times 2 : 5 \times 2$
(前記 2 倍の重み分) $+ 6 \times 2 + 10 : 9 + 7 : 6 +$
 $2 : 4 = 64 : 32 : 16 : 8 : 4 = 16 : 8 : 4 :$
 $2 : 1$ となる。

【0116】このようにしてもまた、前記のブランク表示を用いることなく、5 bit のデータをフルに利用した 64 階調の表示を行うことができる。そして、1 フレーム期間 T_f は、 4 (1 階調当りの単位時間) $\times (1 + 2 + 4 + 8 + 16) \div 4$ (4 つの T F T Q 11, 21 ; Q 31 a, Q 31 b で電流を供給するので 4 で割る) $= 31$ 単位時間となる。

【0117】本発明の実施の第 7 の形態について、図 17 ~ 図 19 に基づいて説明すれば、以下のとおりである。

【0118】図 17 は、本発明の実施の第 7 の形態の有機 E L ディスプレイにおける縦方向に隣接した任意のラインの素子回路 A_{ij} , A_{i+1j} の電気回路図である。これらの素子回路 A_{ij} , A_{i+1j} は、相互に等しく形成される前述の素子回路 A_e を応用したものである。ただし、コンデンサ C_1 の一方の端子は前記 T F T Q 11 に接続され、他方の端子は T F T Q 15 を介して前記電源線 V に接続される。この T F T Q 15 は p 型であり、n 型の T F T Q 13 とともに、ゲートは前記選択線 G_a に共通に接続される。

【0119】したがって、p 型 T F T Q 15 によるコンデンサ C_1 からの表示データの読出しと、n 型 T F T Q 13 によるメモリ回路 M_1 からの表示データの読出しとが択一的に行われ、その読出された表示データが T F T Q 11 のゲートに与えられることになる。このように構成すると、メモリ回路 M_1 でコンデンサ C_1 をチャージ UP / DOWN するのに比べて、消費電力のロスを防げるので、低消費電力化に効果を有する。なお、この T F T Q 15 を用いることによる効果は、前述の各素子回路 A , A_a , …等の他の素子回路に関しても、同様に得ることができる。

【0120】これらの素子回路 A_{1j} , …, A_{ij} , A_{i+1j} , …, A_{mj} は、奇数フィールドと偶数フィールドとで、前記縦方向に隣接した素子回路、たとえば A_{ij} に対して、 A_{i+1j} と、 A_{i-1j} とが交互に組合わせられて駆動される。そして、たとえば画素数が縦 $480 \times$ 横 640 のディスプレイにおいて、入力信号がインターレース信号であり、1 フィールド当り 240 ライン分のデータしかない場合等に適用することができる。以下、この有機 E L ディスプレイでは、説明の簡略化のために白黒表示として、素子回路 $A_{1j} \sim A_{mj}$ の数 m も、11 ライン分とする。

【0121】前記インターレース走査において、前記の素子回路 $A_{1j} \sim A_{11j}$ を応用した例が、図 18 に示す駆動方法である。ここでは、後述するように、第 1 のフィールド期間 T_{f1} において、素子回路 A_{1j} , A_3

j , A_{5j} , A_{7j} , A_{9j} (図 18 では列番号 j は省略) と、素子回路 A_{2j} , A_{4j} , A_{6j} , A_{8j} , A_{10j} とを、あたかも 1 つの素子回路の如く扱って表示を行い、第 2 のフィールド期間 T_{f2} において、素子回路 A_{2j} , A_{4j} , A_{6j} , A_{8j} , A_{10j} と素子回路 A_{3j} , A_{5j} , A_{7j} , A_{9j} , A_{11j} とを、あたかも 1 つの素子回路の如く扱って表示を行っている。そして、実際に選択走査されるのは、11 本の走査信号線 $G_1 \sim G_{11}$ の内、各フィールドで 1 本おきの 6 本である。

【0122】図 18 では、素子回路 $A_{1j} \sim A_{11j}$ の表示状態を、図 18 (5) ~ (15) でそれぞれ示す。図 18 (2) は bit 4 のデータに対する通算表示時間を示し、図 18 (3) は bit 3 のデータに対する通算表示時間を示し、図 6 (4) は bit 2, 1 のデータに対する通算表示時間を示す。図 18 (1) は各走査期間 $T_{s1} \sim T_{s4}$ での単位時間表示であり、図 18 (16) は 1 フィールド期間 T_f 内での単位選択時間の通算時間である。

【0123】第 1 フィールド期間 T_{f1} では、素子回路 A_{2ij} と素子回路 A_{2i-1j} とを一对として、第 1 の走査期間 T_{s1} (図 18 (16) の通算時間 1 ~ 6 の期間) で、素子回路 A_{2i-1j} (奇数ラインの素子回路) の T F T Q 13 を導通状態とし、T F T Q 15 を非導通状態とし、素子回路 A_{2ij} (偶数ラインの素子回路) の T F T Q 13 を非導通状態とし、T F T Q 15 を導通状態としながら、データ信号線 D_j から、各素子回路 A_{2i-1j} のメモリ回路 M_1 と、各素子回路 A_{2ij} のコンデンサ C_1 とに、共に 4 bit 目のデータを取込み、表示が開始される。表示は、あたかも走査信号線 G が 6 本分であるかの如く行うので、この走査期間 T_{s1} は 6 単位時間となる。

【0124】次に、第 2 の走査期間 T_{s2} (図 18 (16) の通算時間 7 ~ 12 の期間) で、素子回路 A_{2i-1j} の T F T Q 13 を非導通状態とし、T F T Q 15 を導通状態とし、素子回路 A_{2ij} の T F T Q 13 を導通状態とし、T F T Q 15 を非導通状態としながら、データ信号線 D_j から、各素子回路 A_{2ij} のメモリ回路 M_1 と、各素子回路 A_{2i-1j} のコンデンサ C_1 とに、共に 3 bit 目のデータを取込み、表示が開始される。表示は、あたかも走査信号線 G が 6 本分であるかの如く行うので、この走査期間 T_{s2} も 6 単位時間となる。

【0125】本実施の形態では、時間分割階調の 1 階調当りの表示時間を 4 単位時間としているので、1 フィールド期間 T_f は、 4 (1 階調当りの単位時間) $\times (1 + 2 + 4 + 8) \div 2$ (2 つの素子回路 A_{2i-1j} , A_{2ij} を用いて表示しているので、2 で割る) $= 30$ 単位時間となる。したがって、4 bit 目のデータの表示期間の重みは $4 \times 8 = 32$ 単位時間であり、そのうち素子回路 A_{2ij} を用いて表示した期間が既に 6 単位時間あ

るので、素子回路 $A2i-1j$ を用いて表示する期間は、合計 $32-6=26$ 単位時間あればよい。これは 1 フィールド期間 Tf よりも 4 単位時間だけ短いので、その分前記 3 bit 目のデータを表示することとして、素子回路 $A2i-1j$ が 3 bit 目のデータを表示する時間は 4 単位時間となる。この時間は、1 走査期間 Ts より短いので、前記 4 単位時間遅れた通算時間 $11\sim16$ の期間に、走査信号線 $G2i-1$ を用いた第 1 の選択走査とは独立して、前記選択線 $Ga2i-1$ を用いた第 2 の選択走査が行われ、素子回路 $A2i-1j$ では、メモリ回路 $M1$ から 4 bit 目のデータが読出されて、その 4 bit 目のデータの表示に復帰する。この後、第 1 フィールド期間 $Tf1$ の終了まで、素子回路 $A2i-1j$ では、走査信号線 $G2i-1$ は選択されず、また選択線 $Ga2i-1$ によっては、 $TFTQ13$ を導通状態とし、 $TFTQ15$ を非導通状態として保持される。

【0126】続いて、第 3 の走査期間 $Ts3$ (図 18 (16) の通算時間 $13\sim18$ の期間) では、前述のように素子回路 $A2i-1j$ の $TFTQ13$ を導通状態のままとし、 $TFTQ15$ を非導通状態のままとして、4 bit 目のデータを表示するとともに、素子回路 $A2ij$ の $TFTQ13$ を非導通状態とし、 $TFTQ15$ を導通状態とし、データ信号線 Dj から、各素子回路 $A2ij$ のコンデンサ $C1$ に、2 bit 目のデータを取込み、表示が開始される。この走査期間 $Ts3$ も 6 単位時間であるけれども、2 bit 目のデータの表示期間は 8 単位時間なので、該走査期間 $Ts3$ よりも 2 単位時間だけ長い。したがって、2 単位時間待つてから次の第 4 の走査期間 $Ts4$ に入る。

【0127】この走査期間 $Ts4$ (図 18 (16) の通算時間 $21\sim26$ の期間) でも、素子回路 $A2i-1j$ の $TFTQ13$ を導通状態のままとし、 $TFTQ15$ を非導通状態のままとして、4 bit 目のデータを表示するとともに、素子回路 $A2ij$ の $TFTQ13$ を非導通状態とし、 $TFTQ15$ を導通状態とし、データ信号線 Dj から、各素子回路 $A2ij$ のコンデンサ $C1$ に、1 bit 目のデータを取込み、表示が開始される。この 1 bit 目のデータの表示期間は 4 単位時間なので、該走査期間 $Ts4$ よりも 2 単位時間短い。そこで、走査信号線 $G2i$ を用いた第 1 の選択走査とは独立して、前記選択線 $Ga2i$ を用いた第 2 の選択走査が行われ、メモリ回路 $M1$ から 3 bit 目のデータが読出されて、その 3 bit 目のデータの表示に復帰する。この 3 bit 目のデータは、前記素子回路 $A2i-1j$ の 4 bit 目のデータとともに、第 1 フィールド期間 $Tf1$ の終了まで表示される。

【0128】第 2 フィールド期間 $Tf2$ では、素子回路 $A2ij$ と素子回路 $A2i+1j$ とを一对として、素子回路 $A2i\pm1j$ と素子回路 $A2ij$ との関係が第 1 フィールド期間 $Tf1$ とは逆になる。本発明の構成は、前

述のような 1 つの有機 EL 素子 1 と複数の駆動用 TFT $Q12$ 、 $Q22$ 等を組合わせた場合だけでなく、本実施の形態のようにインターレース走査であたかも 1 つの素子回路が複数の副素子回路から構成されているように扱える場合や、ノンインターレース走査でも、実際に 1 つの素子回路が複数の副素子回路から構成されているような場合でも有効となる。また、本発明の構成は、素子回路 A 、 Aa 、 Ab 、… (以下、代表して参照符 A で示す) を構成する有機 EL 素子 1 を複数のレベルで発光させられれば適用可能であり、上記の各実施の形態にある複数の TFT を用いる場合に限定されない。

【0129】このように構成することによって、時間分割階調制御を行うにあたって、通常のインターレース走査に対応した表示データに対して、共通のデータ信号線 D を用いて、相互に隣接する奇数ラインの素子回路 $A2i-1j$ と偶数ラインの素子回路 $A2ij$ との選択走査を工夫するだけで、特別な部分画素を用いなくても、動画偽輪郭の発生を抑えることができる。たとえば、画素数が縦 $480\times$ 横 640 の表示装置の場合、入力信号がインターレース信号であれば 1 フィールド当たり 240 本分のデータしかないので、画面縦方向 480 本のうち飛び飛びに 240 本を点灯させるか、縦方向 2 画素まとめて 480 本総てを点灯させるかの選択となり、このとき縦方向 2 画素まとめて 480 本総てを点灯させることで、特別な部分画素を設けなくても、動画偽輪郭の発生を抑えることができる。

【0130】ところで、上記の各実施の形態から理解されたとおり、本発明の構成では、素子回路 A に配置したメモリ回路 $M1$ 、 $M2$ 、…の数より多い bit 数の階調表示を実現するとき、適切なタイミングで素子回路 A 外から表示データを取込まなければならない。しかしながら、通常の映像信号では、各 bit のデータは各素子回路 A の単位でまとめて転送される。したがって、上記各素子回路 A 単位の表示データを bit 毎のデータに変換する必要がある。そのためのシステム構成の一例が、図 19 に示す表示装置 11 の構成である。この表示装置 11 では、素子回路 A は図 11 で示す素子回路 Ac で示している。

【0131】すなわち、この表示装置 11 では、外部の回路から前記各素子回路 Ac の単位で送られてきた表示データは、RAM 12 に一旦貯えられる。また、その素子回路 Ac 単位の表示データの同期信号がコントローラ 13 へ入力される。そして、コントローラ 13 によって前記 RAM 12 を制御し、各素子回路 Ac 単位の表示データの書込みと、bit 単位に変換したデータの読出しとを行い、必要なタイミングでデータ変換を行い、素子回路 $Acij$ のデータ信号線 Dj へ供給する構成である。

【0132】前記 RAM 12 は、フレームメモリ等を実現するものであるが、どのようなフォーマットに変換し

たらよいかは表示装置毎に異なるので、このフレームメモリやフォーマット変換用の前記コントローラ13を表示パネルと一体化することが好ましい。このとき、前記メモリ回路M1、M2、…をTFTを用いて構成できるのであるから、同様に該フレームメモリやコントローラも、TFTを用いて一体形成することが好ましい。

【0133】さらにまた、上記の素子回路A、Aa、Ab、…は、時間分割階調を用いて表示する（これを動画表示と記す）だけでなく、有機EL素子1に対応したメモリ回路M1、M2、…を用いて時間分割階調を用いてない表示（これを静止画表示と記す）を行うことも可能である。この場合、前記フレームメモリとコントローラとを表示パネルと一体化することで、前記動画表示時と静止画表示時とで各々最適なビットデータを生成することが可能となるので、好ましい。

【0134】なお、前記RAM12はスタティックメモリから構成されていなくとも、1フレーム期間Tf以上の保持時間を持ったダイナミックメモリから構成されてもよい。特に、素子回路Acに配置したメモリ回路M1、M2がスタティックメモリ構成である場合、そのメモリ回路M1、M2に対応する上位ビットデータを貯える前記RAM12のメモリは、ダイナミックメモリの方が、RAMサイズ等を小さくできるので好ましい。また、上記各実施の形態で示した駆動方法は、素子回路Aに配置したメモリ回路M1、M2、…の数より多い所望とする階調数の表示を最低限の駆動で実現する手法であるけれども、必要な階調数が前記メモリ回路M1、M2、…の数以下であれば、上記手法を使わずに、各素子回路Aに配置したメモリ回路M1、M2、…だけで表示を行うようにしてもよい。

【0135】また、上記の各実施の形態では、記憶素子として2つのCMOSインバータINV1、INV2を用いたスタティックメモリ構成を取っているけれども、1フレーム期間Tf1に亘って電位を保持できるのであれば、コンデンサ等を用いたダイナミックメモリ構成であっても構わない。たとえば、素子回路Aのメモリ回路M1、M2のうち、一方をコンデンサとしたものは、図5の素子回路Aaにおいてメモリ回路M1を削除したものと考えることができ、この場合、コンデンサC1が時間分割階調制御される。また、素子回路Aのメモリ回路M1、M2のうち、両方をコンデンサとしたものは、図13の素子回路Adにおいてメモリ回路M1、M2を削除したものと考えることができ、この場合、コンデンサC1、C2の少なくとも一方が時間分割階調制御される。

【0136】また、記憶素子としてもコンデンサを用い、そのコンデンサによって電位保持手段として用いるコンデンサC1、C2のデータの書換えを行う場合には、記憶素子として用いるコンデンサの容量を、電位保持手段として用いるコンデンサの容量より大きく（概ね

2倍以上、好ましくは10倍以上で）なければならない。

【0137】さらにまた、前記有機EL素子1の構造としては、たとえばガラス基板の上にITO等の透明な陽極を形成し、その上に有機多層膜、さらにA1等の陰極を形成した構成で実現することができる。また、前記有機多層膜にも幾つかの構造があるけれども、たとえば、正孔入層（または陽極バッファ層）としてCuPcを、正孔輸送層としてTPDを、発光層としてDPVBi、Zn(oxz)2、DCMをドーパントとしたA1q等を、電子輸送層としてはA1q等を積層した構成が好ましい。

【0138】一方、上述のような有機EL素子1を駆動するためのTFTQ11、Q21等は、電荷移動度の大きな多結晶シリコンプロセスで製作されたTFTを用いる必要があり、たとえば特開平10-301536号公報などで実現することができる。上記の工程では、プロセスの最高温度を、ゲート絶縁膜形成時の600℃程度に抑えることができ、高耐熱性ガラスを使用することができる。

【0139】

【発明の効果】本発明の表示装置は、以上のように、マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、記憶素子およびそれらに對を成す前記アクティブ素子を複数組設けて、輝度レベルを設定するそれら複数の記憶素子の電圧または電流の和出力で前記電気光学素子を表示駆動するようにし、さらに一方の記憶素子に対応したアクティブ素子を時間分割階調駆動する。

【0140】それゆえ、デジタル階調制御を時間分割階調制御で実現するにあたって、中間値以上の表示データでは他方の記憶素子は1フレーム期間を略発光し続けることになり、中間値以上の表示データと中間値未満の表示データとの境界があり、それが移動してゆく場合に、動画偽輪郭の発生を抑えることができる。

【0141】また、本発明の表示装置は、以上のように、前記記憶素子ならびにアクティブ素子を2組以上とするとともに、第1のアクティブ素子または記憶素子の出力電位を保持して前記電気光学素子に与える電位保持手段および前記電位保持手段と第1の記憶素子との間に設けられる第3のアクティブ素子をさらに設け、第1のアクティブ素子の選択走査とは独立して第3のアクティブ素子を選択走査することで、表示データを直接電位保持手段へ書込むことができるとともに、第1の記憶素子へ書込んだ表示データを読み出して前記電位保持手段へ書込むことができるようにする。

【0142】それゆえ、一旦第1の記憶素子へ書込んだデータを第3のアクティブ素子の選択走査によって任意

のタイミングで電位保持手段へ読出し、表示することができ、同じ表示データを用いて表示駆動する場合、データ信号線からのデータの再書き込みを不要とすることができる。また、前記選択走査に要する時間を短縮し、1フレーム期間を短縮することができる。また、第1の記憶素子から表示データを読出して電位保持手段に設定するので、データ信号線やそれに接続される浮遊容量をチャージアップする必要はなく、低消費電力化を図ることができる。

【0143】さらにまた、本発明の表示装置は、以上のように、前記電位保持手段に関連して、その電位を予め定める初期化電位に設定する第4のアクティブ素子をさらに備え、第1のアクティブ素子の選択走査によることなく、該第4のアクティブ素子を介して電位保持手段を前記予め定める初期化電位として、そのストアデータを消去する。

【0144】それゆえ、第2のアクティブ素子側での表示の重みを2の n 乗レベルとし、第1のアクティブ素子側での表示の重みを(2の n 乗-1)レベルとし、通常の2進数データをそのまま使用することができる。

【0145】また、本発明の表示装置は、以上のように、前記記憶素子ならびにアクティブ素子は2組以上として、下位ビット側となる第1番目の記憶素子の出力による前記電気光学素子の電流駆動能力を基準に、第2番目以上の記憶素子の出力による前記電気光学素子の電流駆動能力を、前記第1番目の記憶素子の出力による電流駆動能力の2の乗数倍に順次設定する。

【0146】それゆえ、1フレーム期間に前記第2番目以降の記憶素子の出力による電気光学素子の発光が続くことになるので、動画偽輪郭の発生を、一層少なくすることができる。

【0147】さらにまた、本発明の表示装置は、以上のように、前記記憶素子ならびにアクティブ素子を2組とし、さらにそれぞれに電位保持手段を設け、その電位保持手段と記憶素子との間に第3のアクティブ素子をさらに設けることで、電気光学素子を表示駆動するための表示データの設定の自由度を向上しつつ、第1のアクティブ素子側と第2のアクティブ素子側とで共通の構成とし、周期的に切換えを行う。

【0148】それゆえ、電気光学素子側で、第1のアクティブ素子に対応した構成と第2のアクティブ素子に対応した構成とで電気光学素子の特性にバラツキがあっても、平均した輝度を観察することになるので、階調性の良い表示を得ることができる。

【0149】また、本発明の表示装置は、以上のように、前記記憶素子ならびにアクティブ素子を2組以上として、そのうち2組のそれぞれに電位保持手段および第3のアクティブ素子をさらに備え、下位ビットの表示データの与えられるアクティブ素子側でも、最上位ビットの表示データの書き込みを行う。

【0150】それゆえ、2の n 乗の階調表示を行う場合に、最上位ビットのデータの表示を、一方のアクティブ素子側のみで行うと、他方のアクティブ素子側では、最小表示期間のブランク表示が必要になるのに対して、下位ビットの表示データの与えられるアクティブ素子にも、その最上位ビットのデータの表示を行わせることで、前記ブランク表示を用いることなく、したがって1フレーム期間を最小限にして、前記2の n 乗の階調表示を行うことができる。

【0151】さらにまた、本発明の表示装置は、以上のように、マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、任意の i ライン目の電気光学素子に対して、隣接する $i+1$ ライン目と $i-1$ ライン目との電気光学素子をフィールド周期で切換えて対を成し、それら一対の電気光学素子に、同一の表示データの最上位ビットと残余の下位ビットとを前記フィールド周期毎に交互に切換え表示させる。

【0152】それゆえ、時間分割階調制御を行うにあたって、通常のインターレース走査に対応した表示データに対して、共通のデータ信号線を用いて、隣接する奇数ラインの電気光学素子に対応したアクティブ素子と偶数ラインの電気光学素子に対応したアクティブ素子との選択走査を工夫するだけで、動画偽輪郭の発生を抑えることができる。

【図面の簡単な説明】

【図1】本発明の実施の第1の形態の有機ELディスプレイを実現する素子回路の電気回路図である。

【図2】図1で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図3】図2で示す駆動方法によって動画偽輪郭が抑制されていることを説明するための図である。

【図4】図1で示す素子回路を用いた有機ELディスプレイの駆動方法の他の例を示す図である。

【図5】本発明の実施の第2の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図6】図5で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図7】図5で示す素子回路を用いた有機ELディスプレイの駆動方法の他の例を示す図である。

【図8】本発明の実施の第3の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図9】図8で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図10】有機EL素子の発光輝度と発光効率との関係の一例を示すグラフである。

【図11】本発明の実施の第4の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図12】図11で示す素子回路を用いた有機ELディ

スプレイの駆動方法の一例を示す図である。

【図13】本発明の実施の第5の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図14】図13で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図15】本発明の実施の第6の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図16】図15で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図17】本発明の実施の第7の形態の有機ELディスプレイにおける縦方向に隣接した任意のラインの素子回路の電気回路図である。

【図18】図17で示す素子回路を用いたインターレース走査の駆動方法の一例を示す図である。

【図19】本発明に適用される各素子回路単位の表示データをbit毎のデータに変換するシステム構成の一例を示す図である。

【図20】典型的な従来技術である複数TFTを用いてデジタル階調表示を実現する素子回路の電気回路図である。

【図21】他の従来技術である画素分割階調を用いてデジタル階調表示を実現する素子回路の電気回路図である。

【図22】さらに他の従来技術である時間分割階調を用いてデジタル階調表示を実現する素子回路の電気回路図である。

【図23】図22で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図24】図23の駆動方法によって動画偽輪郭が発生

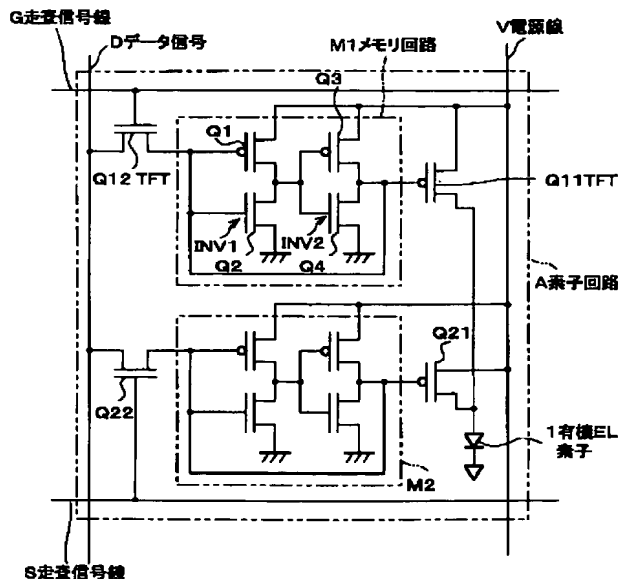
するメカニズムを説明するための図である。

【図25】実際の表示画面での前記動画偽輪郭の様子を示す図である。

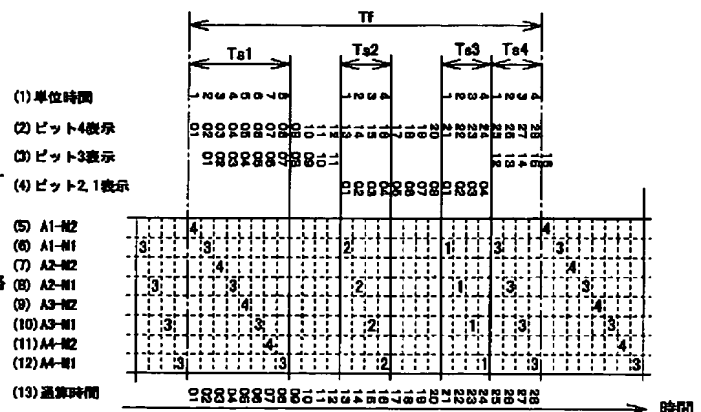
【符号の説明】

- 1 有機EL素子（電気光学素子）
- 11 表示装置
- 12 RAM
- 13 コントローラ
- A, Aa, Ab, Ac, Ad, Ae 素子回路
- $A_{ij}, A_{i+1j}; A_{cij}$ 素子回路
- C1~C3 コンデンサ（電位保持手段）
- D データ信号線
- G; K; S 走査信号線
- Ga, Gb; Ka; Sa 選択線
- INV1, INV2 CMOSインバータ
- M1 第1のメモリ回路（第1の記憶素子）
- M2 第2のメモリ回路（第2の記憶素子）
- M3 第3のメモリ回路（第3の記憶素子）
- Q1~Q4 TFT
- Q11; Q21; Q31a, Q31b TFT（電気光学素子）
- Q12 TFT（第1のアクティブ素子）
- Q13, Q23, Q33 TFT（第3のアクティブ素子）
- Q22 TFT（第2のアクティブ素子）
- Q32 TFT
- Q14 TFT（第4のアクティブ素子）
- Q15 TFT
- V 電源線

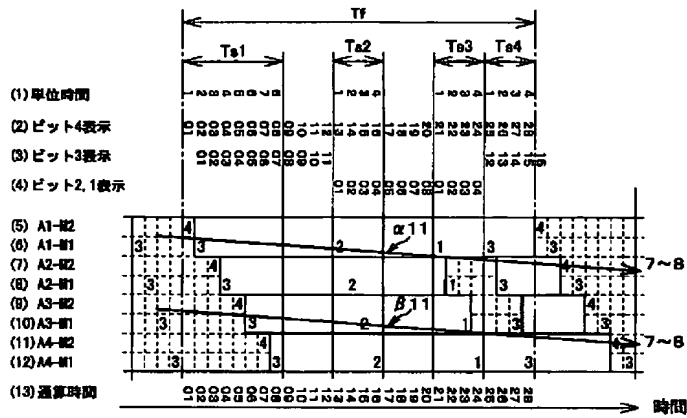
【図1】



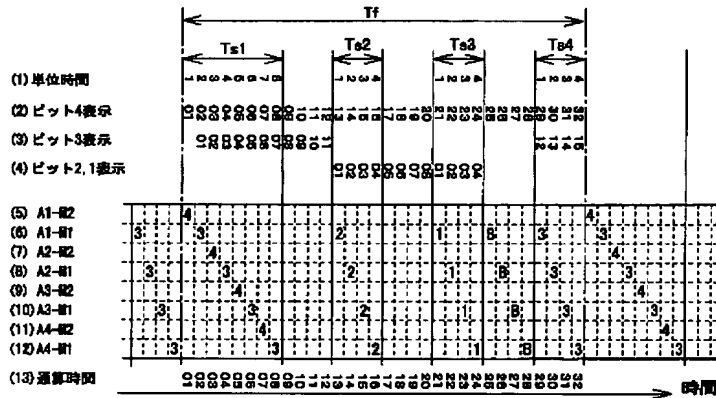
【図2】



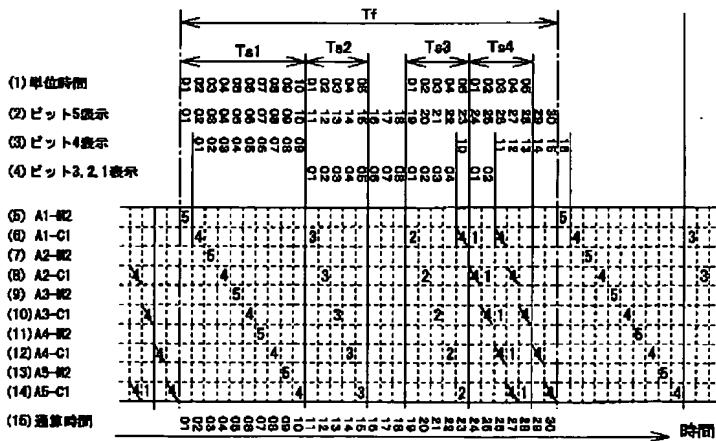
【図3】



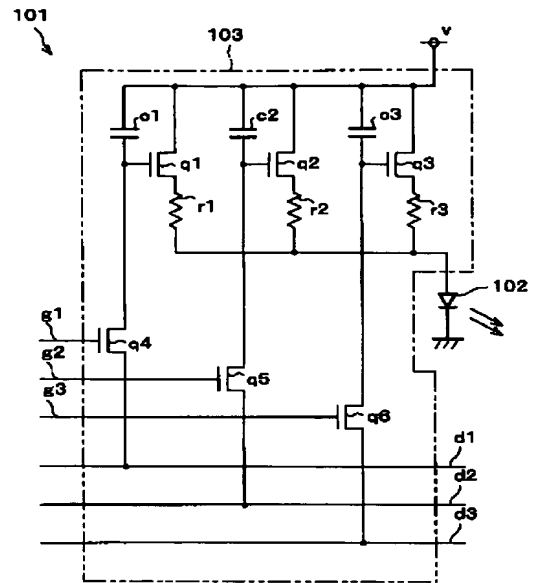
【図4】



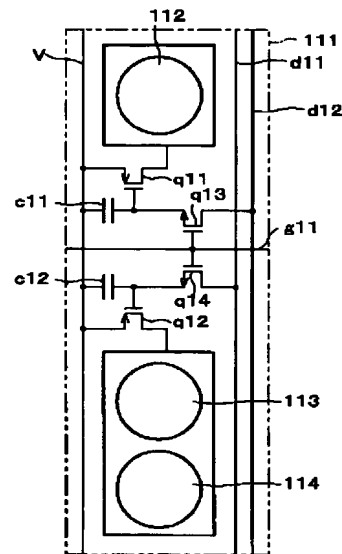
【図6】



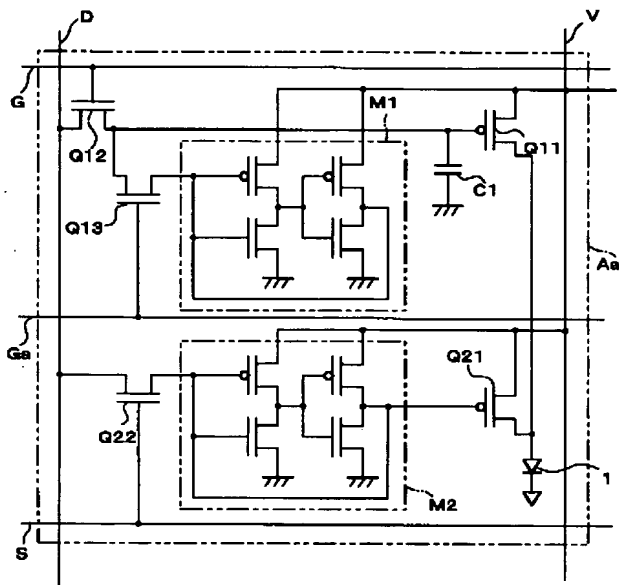
【図20】



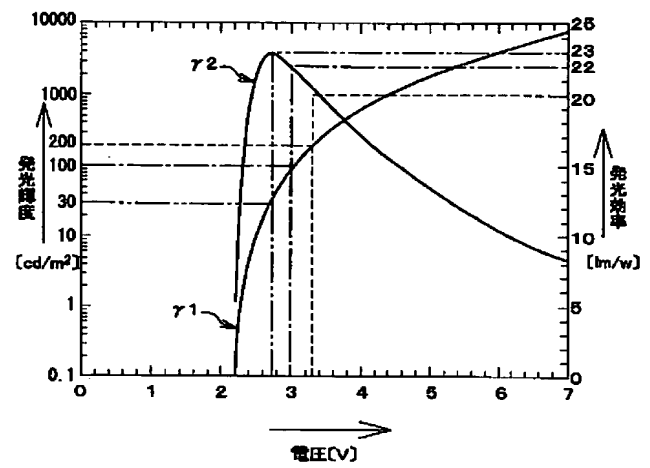
【図21】



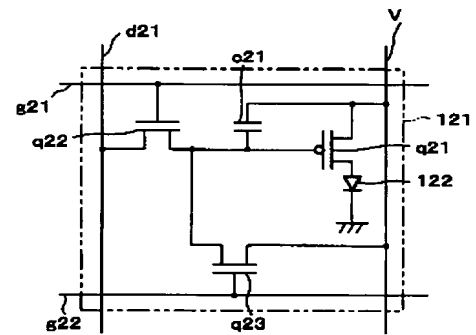
【図5】



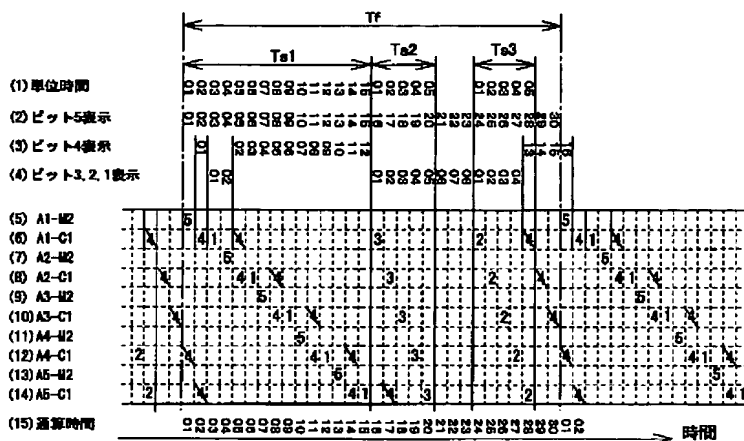
【図10】



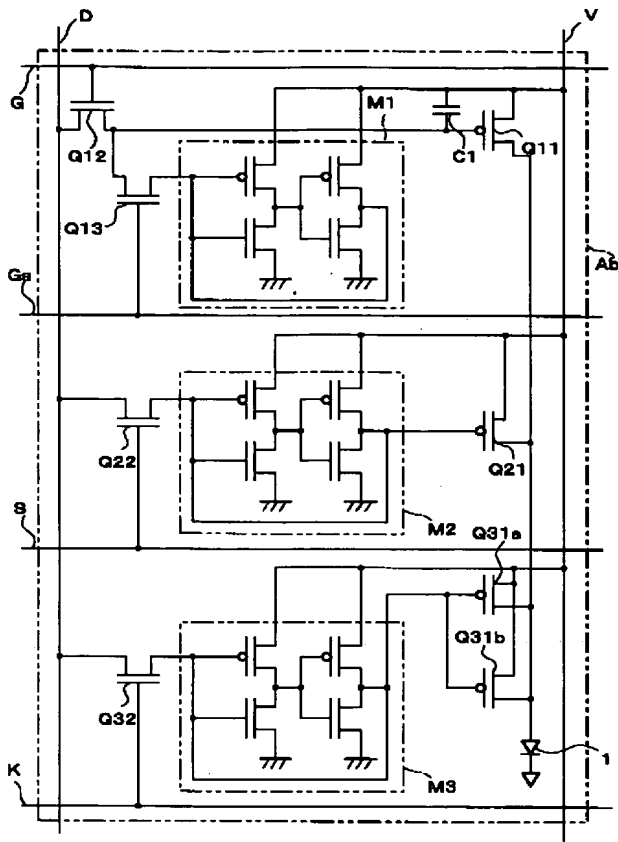
【図22】



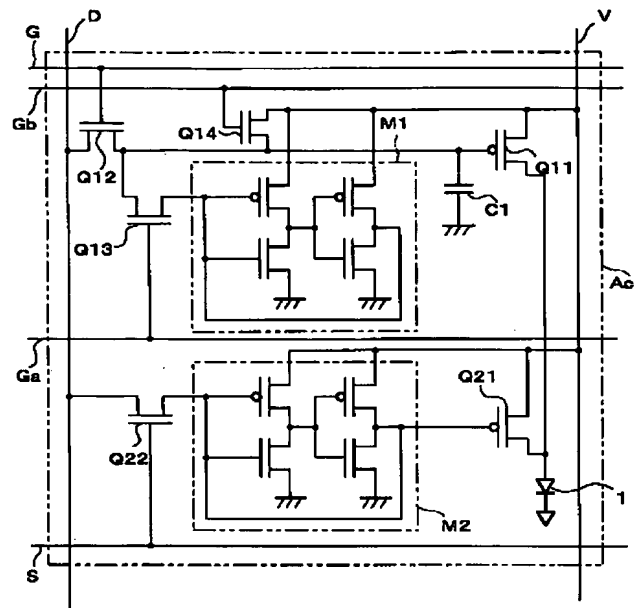
【図7】



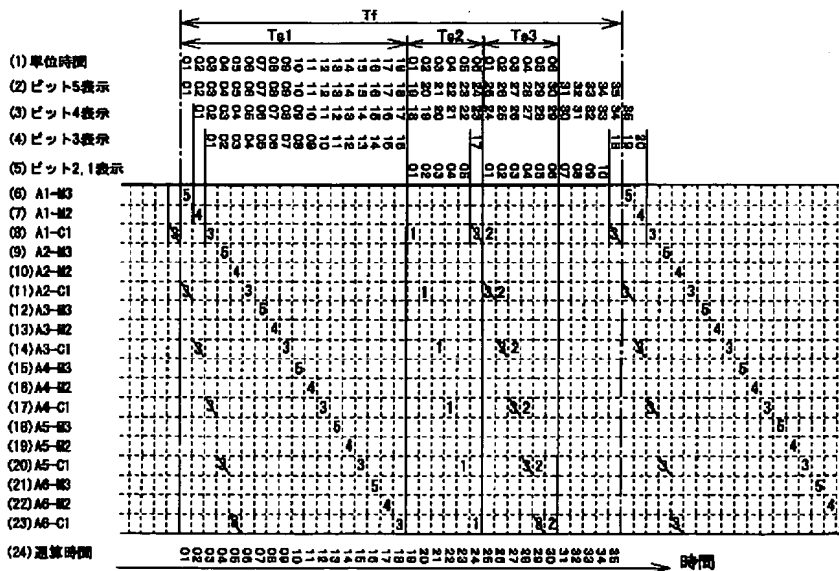
【図8】



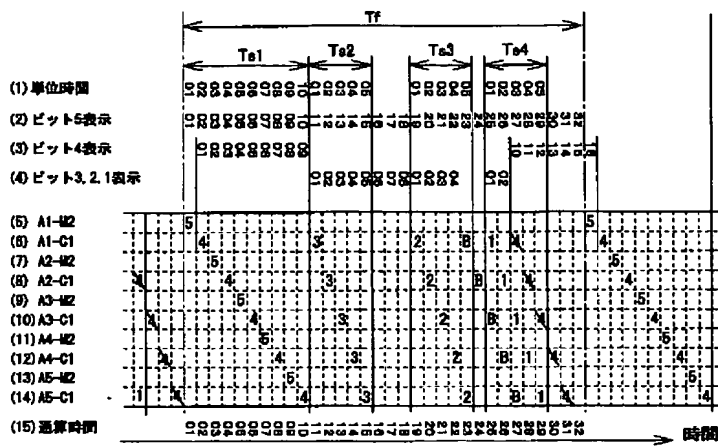
【図11】



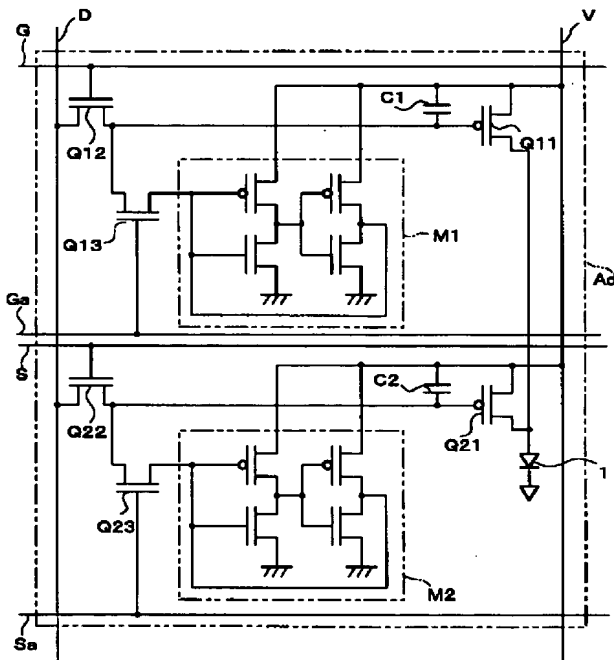
【図9】



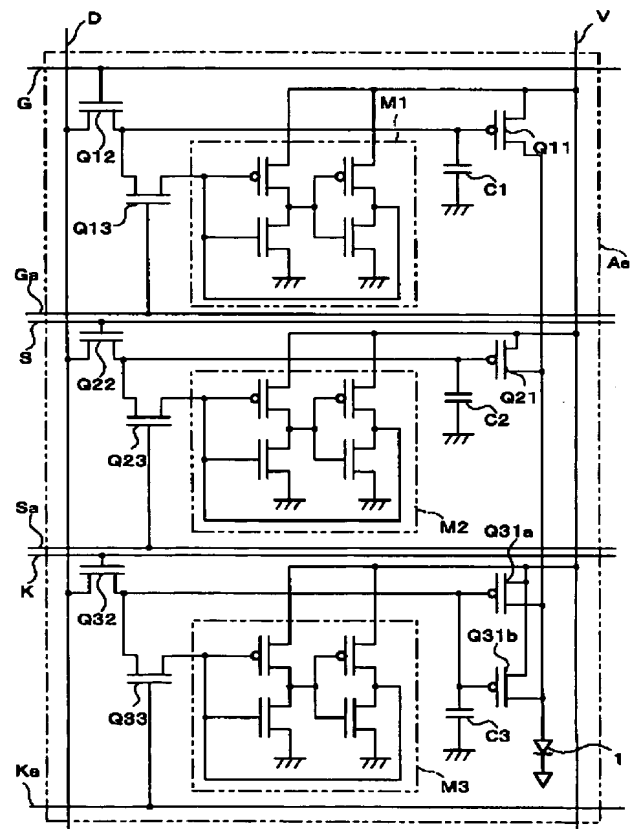
【図12】



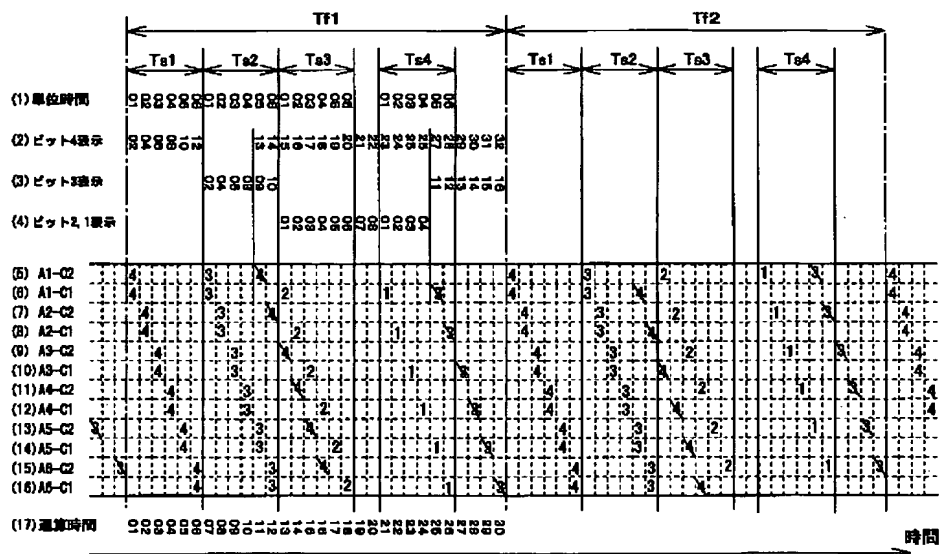
【図13】



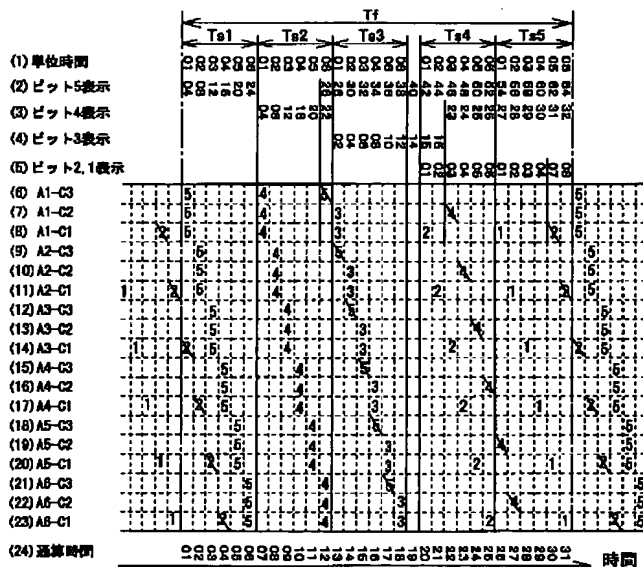
【図15】



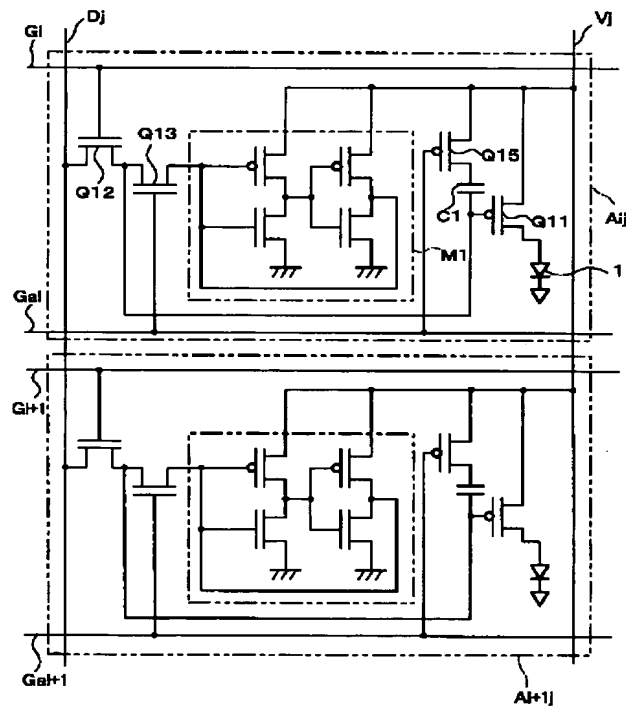
【図14】



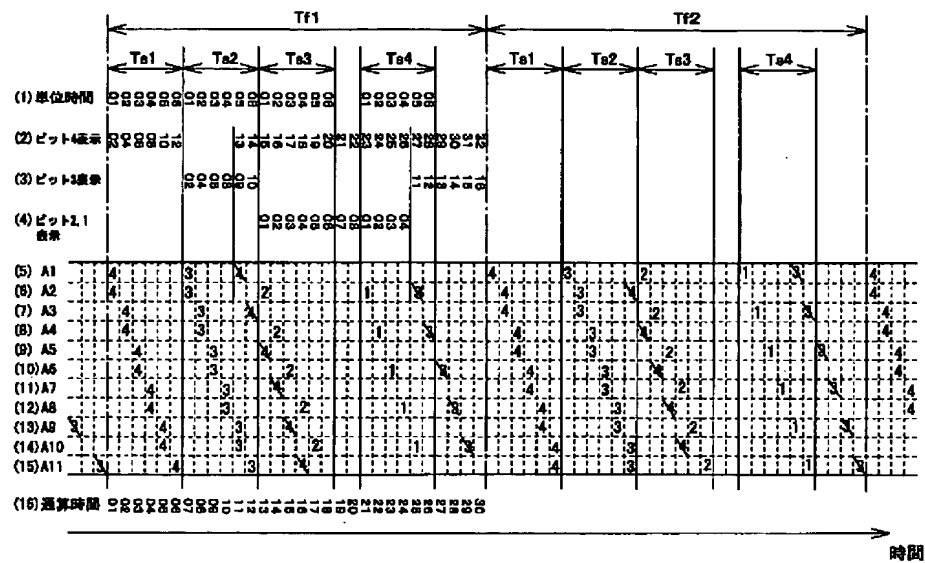
【図16】



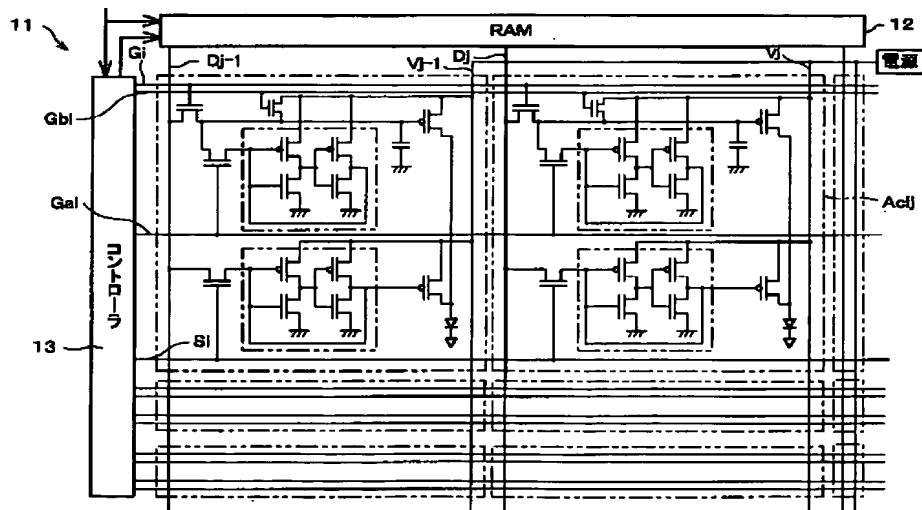
【図17】



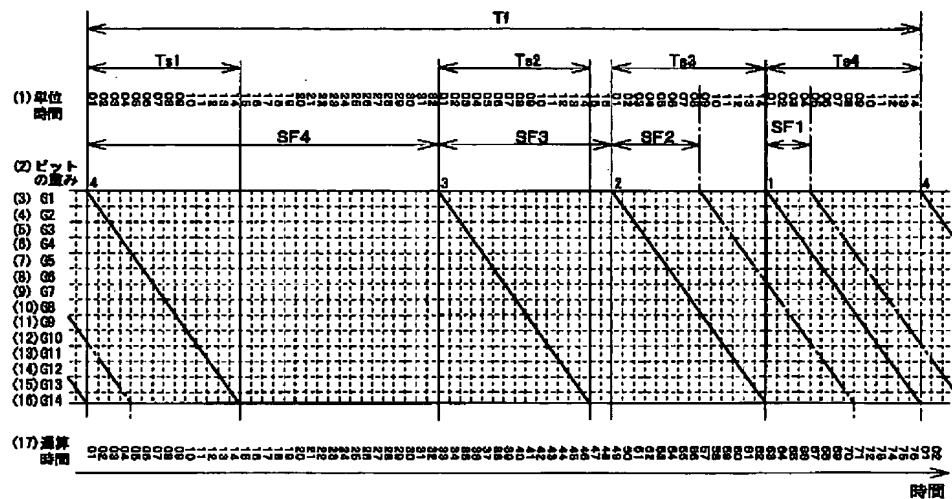
【図18】



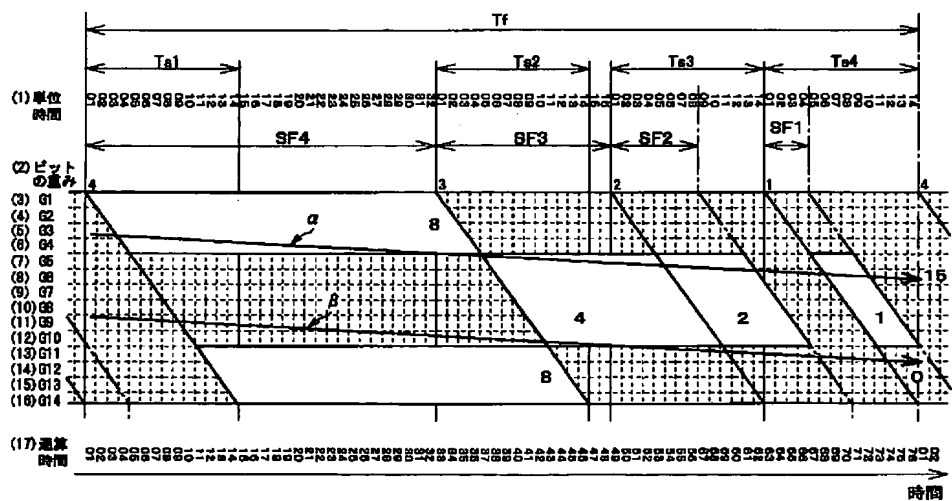
【図19】



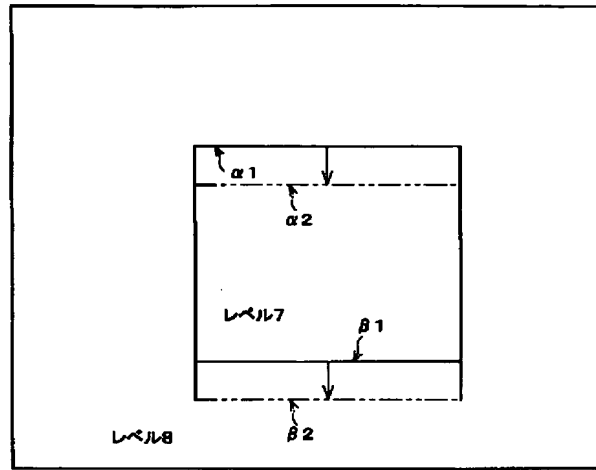
【図23】



【図24】



【図25】



フロントページの続き

(51)Int.Cl.⁷
H05B 33/14

識別記号

F I
H05B 33/14

テマコード(参考)
A